

IC1	IC2,3	IC4	IC5,6	IC7,8
74LS04	74LS85	74LS373	74LS125	74LS125
14	16	20	14	7
7	8	10	7	7
+5V				
0V				

Bild 7: Der Stromlaufplan der 8-Bit-Parallel-Eingabe mit galvanischer Trennung.

Ein Mikrocomputer benötigt neben der Zentraleinheit (CPU) und den verschiedenen Speicherbaugruppen Ein- und Ausgabeeinheiten, über die der Austausch von Daten zwischen dem Prozessor und Geräten außerhalb des Mikrocomputer-Systems stattfindet. Die zu verarbeitenden Daten können dabei entweder seriell oder parallel übertragen werden.

Bei der seriellen Datenübertragung werden die Bits eines Datenwortes zeitlich nacheinander über eine Informationsleitung übertragen. Zur Übertragung jedes einzelnen Bits wird eine bestimmte Zeit, die Taktzeit T, benötigt. Bei 8-Bit-Mikroprozessoren haben die Datenworte eine Länge von 8 Bits, so daß ein Datenwort innerhalb von acht Takten übertragen werden kann.

Bei der parallelen Datenübertragung wird das gesamte Datenwort während eines Taktes über acht Informationsleitungen übertragen. Innerhalb von einer Taktzeit lassen sich daher acht Datenworte transportieren; die parallele Daten-Übertragung ist also schneller.

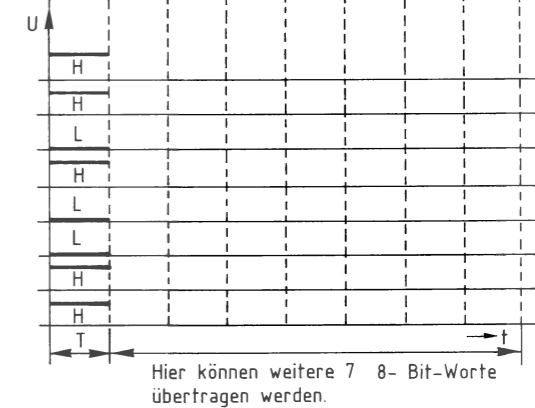
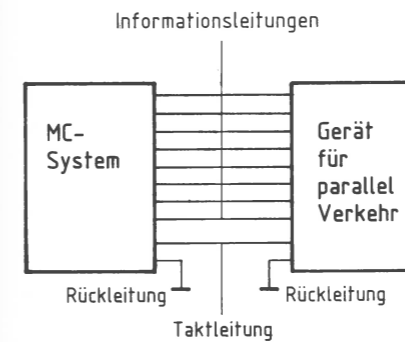
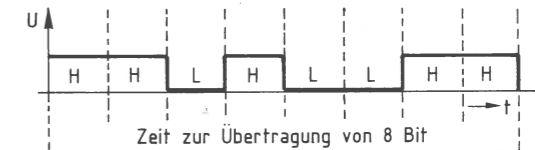
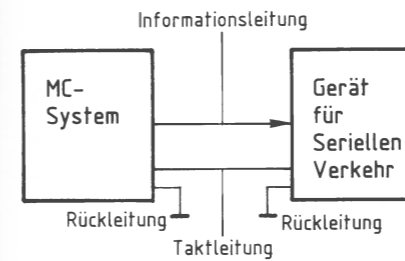


Bild 8: Das Prinzip der seriellen und der parallelen Datenübertragung.

Die Schaltung der 8-Bit-Parallel-Ausgabe-Baugruppe

Bild 9 zeigt das Blockschaltbild dieser Baugruppe. Sie besteht aus den Schaltungsteilen »Adreßvergleich«, »Ausgabespeicher« und »Ausgabepuffer mit Anzeige«.

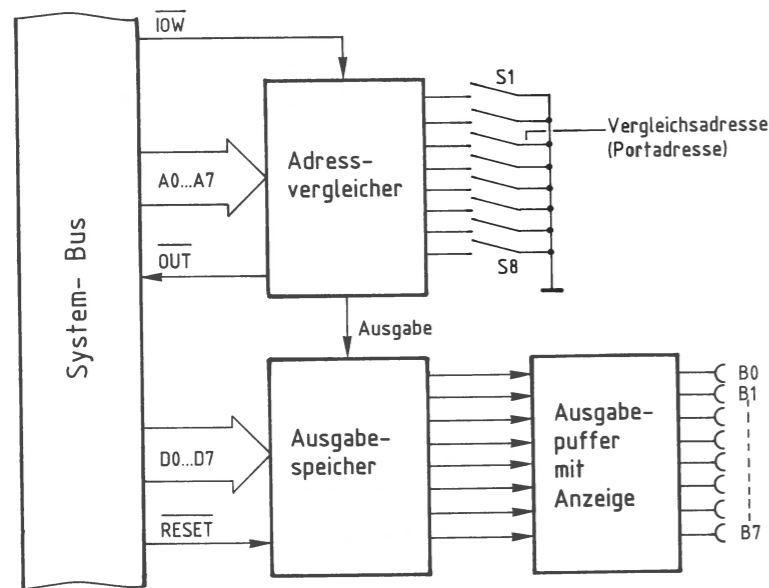


Bild 9: Blockschaltbild der Baugruppe »8-Bit-Parallel-Ausgabe«.

Ein Datenwort, das über die Buchsen B0...B7 ausgegeben werden soll, schaltet der Mikrocomputer auf die Datenleitungen D0...D7; es steht am Eingang des Ausgabespeichers zur Verfügung.

Wenn das Signal »Ausgabe« erfolgt, übernimmt der Ausgabespeicher dieses Datenwort und sendet es gleichzeitig über den Ausgabepuffer zu den Ausgangsbuchsen.

Das Signal »Ausgabe« liefert der Adreßvergleich, der folgende Aufgabe und Wirkung hat:

In einem Mikrocomputer-System sind häufig mehrere Ausgabebaugruppen vorhanden, über die verschiedene Anlagenteile und Geräte mit Daten versorgt werden müssen.

Damit jeder Anlagenteil nur die Daten erhält, die er zu seinem Betrieb braucht, werden die Ausgabespeicher der Reihe nach mit den entsprechenden Daten geladen. Erst wenn der Datenverkehr mit einer Ausgabebaugruppe beendet ist, wird die folgende bedient.

Zur Steuerung des Datentransports verwendet der Mikroprozessor das Signal \overline{IOW} (IN/OUT Write = Eingabe/Ausgabe Schreiben) und die acht Adreßleitungen A0 bis A7. Der Adreßvergleich steuert mit Hilfe dieser Signale den Ausgabespeicher.

Das Signal »Ausgabe« kommt nur dann zustande, wenn:

- das Steuersignal \overline{IOW} L-Pegel führt, der Prozessor also Daten ausgeben will, und
- die Bitkombination der Adreßleitungen A0...A7 mit der durch die Schalter S1...S8 eingestellten Bitkombination übereinstimmt, wenn also die Baugruppe adressiert ist.

Mit den acht Schaltern lassen sich $2^8 = 256$ verschiedene Bitkombinationen oder Adressen einstellen. Diese Adressen nennt man auch »Port-Adressen« (port = Tor). Beim Einsatz mehrerer Ausgabebaugruppen müssen deren Portadressen verschieden sein.

Mit dem Pegel auf der Leitung \overline{OUT} kann in einem Mikrocomputer-Demonstrationsmodell angezeigt werden, daß eine Ausgabebaugruppe angesprochen ist.

Bild 10 zeigt den Stromlaufplan der Baugruppe, Sie sollten ihn zu allen folgenden Erläuterungen mitbenutzen.

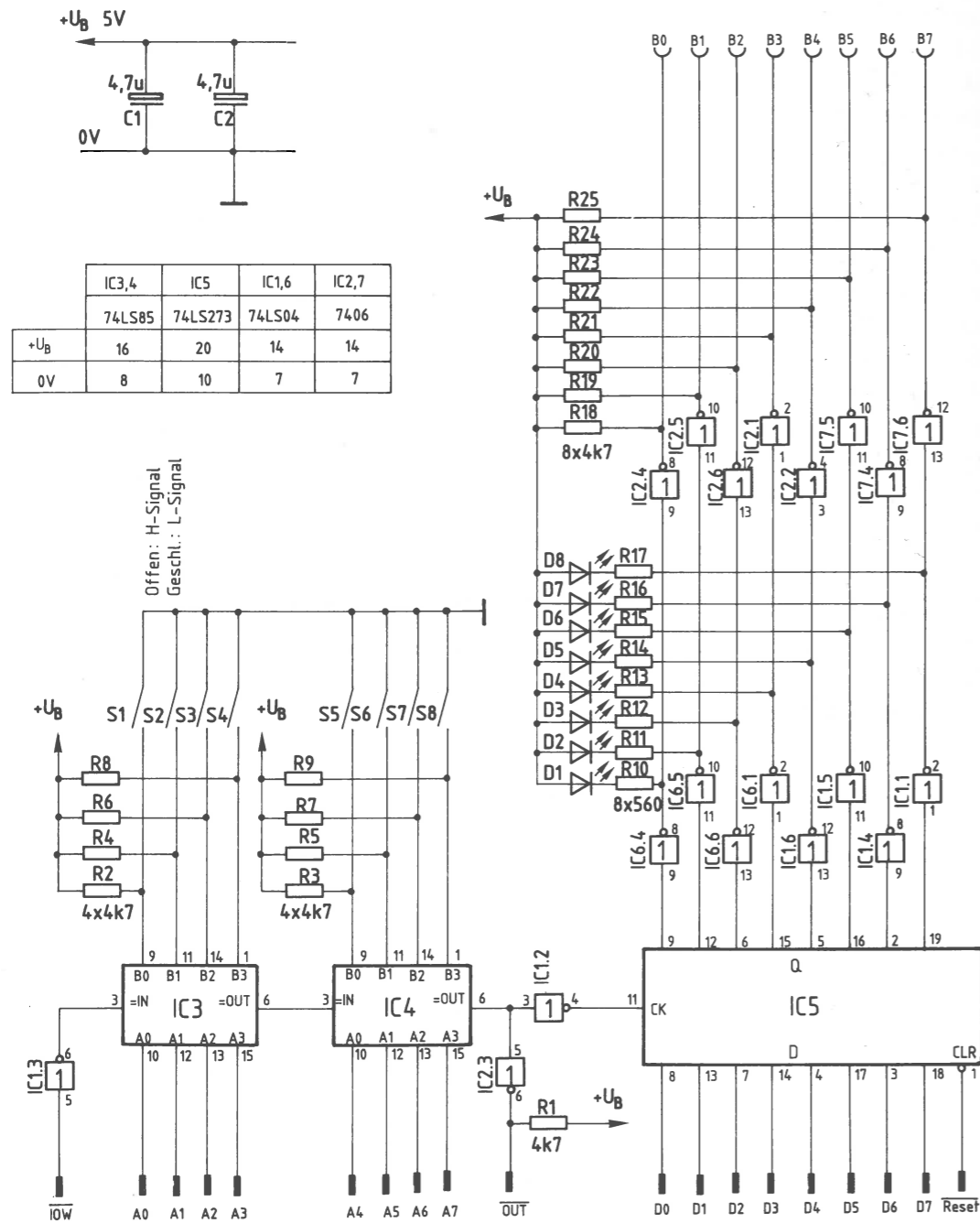


Bild 10: Der Stromlaufplan der 8-Bit-Parallel-Ausgabe.

Der Adreßvergleichler

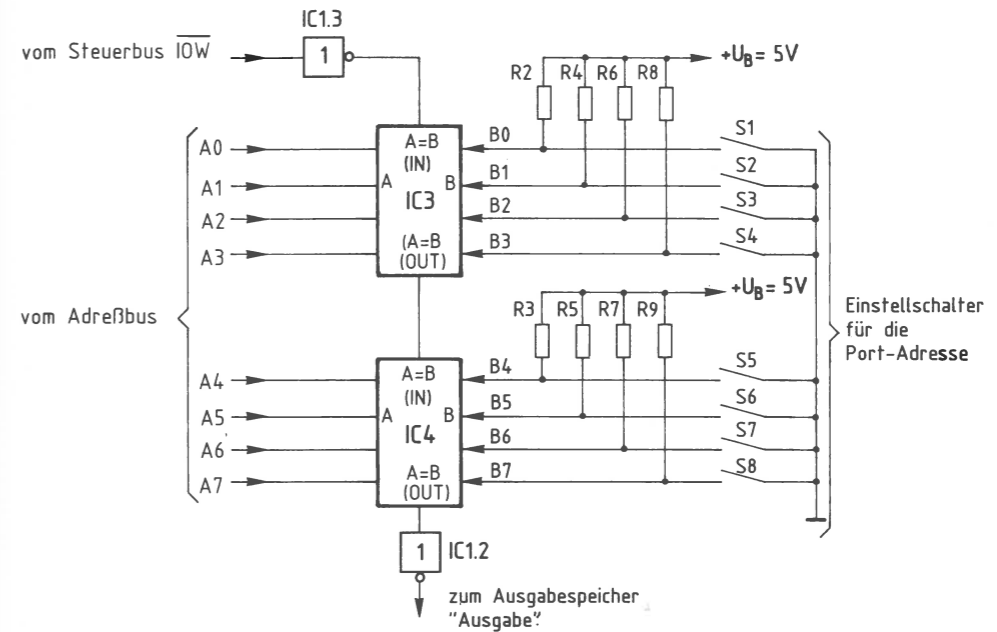


Bild 11: Der Stromlaufplan für den Adreßvergleichler.

Der jeweilige Ausgang der beiden hintereinandergeschalteten 4-Bit-Vergleicher (A=B OUT) führt nur dann H-Pegel, wenn die folgenden beiden Bedingungen erfüllt sind:

- Der Eingang »A=B IN« muß H-Pegel führen,
- die logischen Signale der Eingänge A und B müssen paarweise gleich sein, also A0 = B0, A1 = B1 usw.

Zum Schreiben von Daten in eine Ausgabebaugruppe steuert der Mikroprozessor das Signal IOW auf L-Pegel und schaltet außerdem die Adresse der gewünschten Ausgabebaugruppe auf die Adreßleitungen A0...A7.

Das L-Signal von IOW wird vom Inverter IC1.3 invertiert, so daß der Eingang »A=B IN« des ICs3 H-Pegel erhält. Wenn nun die Pegel der vier Adressenpaare A0,B0 bis A3,B3 übereinstimmen, sind beide genannten Bedingungen erfüllt, und IC3 gibt an seinem Ausgang »A=B OUT« ein H-Signal ab. Hiermit wird der zweite 4-Bit-Vergleicher IC4 an seinem Eingang »A=B IN« angesteuert.

Sind nun auch die Pegel der vier Adressenpaare A4,B4 bis A7,B7 gleich, so erscheint am Ausgang »A=B OUT« von IC4 ebenfalls ein H-Signal. Es wird von IC1.2 invertiert und löst mit diesem L-Pegel die Übernahme eines Datenwortes in den Ausgabespeicher aus.

Die Widerstände R2 bis R9 (siehe Bild 11) erzeugen bei offenen Schaltern S1 bis S8 an den Eingängen B0 bis B7 H-Pegel. Je nach Schalterstellung kann mit den Schaltern eine Port-Adresse zwischen 00000000 (binär) und 11111111 (binär) eingestellt werden, die dann mit der Adresse auf den Leitungen A0...A7 verglichen wird. Es können also damit $2^8 = 256$ verschiedene Ausgabebaugruppen eingesetzt werden. In hexadezimaler Schreibweise liegen die Port-Adressen zwischen 00 und FF.

Der Ausgabespeicher

Bild 12 zeigt einen Ausschnitt aus der Innenschaltung des Ausgabespeichers und die zugehörige Funktionstabelle.

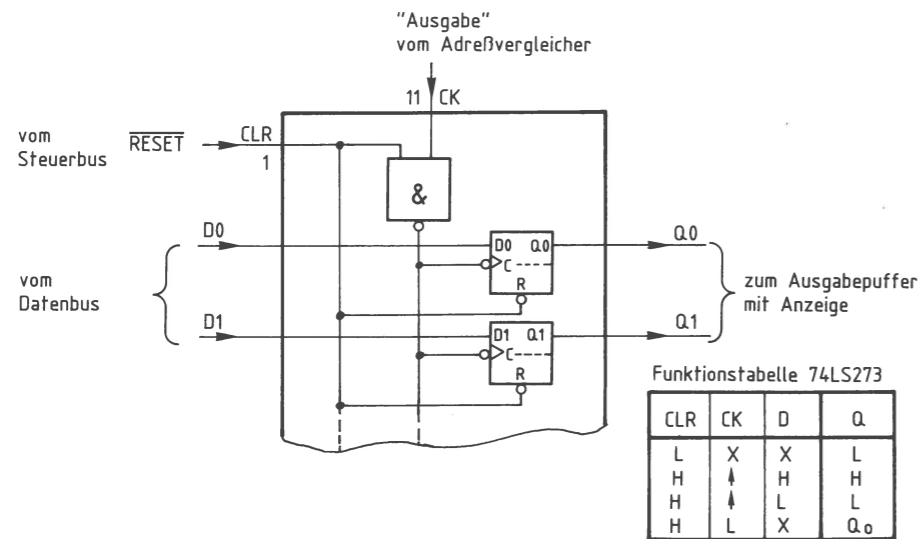


Bild 12: Der Ausgabespeicher und die Funktionstabelle des 74LS273.

Der Speicherbaustein 74LS273 enthält acht D-Flipflops. Die Vorbereitungseingänge dieser D-Flipflops D0...D7 sind direkt mit den entsprechenden Datenbusleitungen verbunden. Signale, die an diesen Eingängen anliegen, werden von den Flipflops nur dann übernommen und zu den Ausgängen geleitet, wenn:

- der Löscheingang CLR (clear = löschen) auf H-Pegel liegt, und
- das Signal am Takteingang CK (clock = Takt) von L- auf H-Pegel springt.

Der L-H-Sprung an CK kommt zustande, wenn der Adreßvergleich das Signal »Ausgabe« abgibt, d. h. wenn die Baugruppe adressiert ist und \overline{IOW} L-Pegel führt.

Der Löscheingang CLR liegt während des Normalbetriebs des Mikrocomputer-Systems auf H-Pegel. Hier erscheint nur dann ein L-Impuls, wenn das MC-System eingeschaltet wird oder wenn der Benutzer des Systems durch Betätigen der Reset-Taste (reset = zurücksetzen) auf der CPU-Baugruppe den Mikroprozessor veranlaßt, sein Programm neu zu starten. Ohne Rücksicht auf die Pegel an den Eingängen D und CK werden dadurch die Q-Ausgänge aller D-Flipflops auf L-Pegel gebracht. Hierdurch wird verhindert, daß Geräte und Anlagenteile z. B. beim Einschalten des MC-Systems undefinierte Betriebszustände annehmen.

Der Ausgabepuffer mit Anzeige

Bild 13 zeigt diesen Schaltungsteil für eine Datenleitung. Insgesamt ist diese Schaltung achtmal auf der Baugruppe vorhanden.

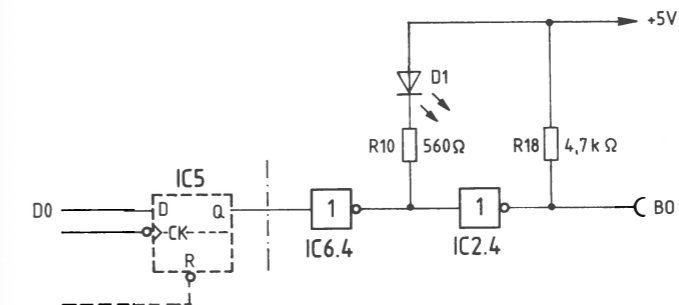


Bild 13: Der Ausgabepuffer mit Anzeige.

Ein H-Pegel am Ausgang des D-Flipflops (Bild 6) bewirkt einen L-Pegel am Ausgang des Anzeigetreibers IC6.4 und H-Pegel am Ausgang des Inverters IC2.4 und damit an der Ausgangsbuchse B0.

Die LED D1 leuchtet und zeigt diesen H-Pegel an der Ausgangsbuchse an. Der Inverter IC2.4 ist ein Treiber mit offenem Kollektor und folgenden Grenzwerten:

$$U_{CE} = 30 \text{ V}, \quad I_C = 40 \text{ mA}$$

Der Widerstand R18 dient hier als interner Lastwiderstand für den Treiber. Beim Anschluß externer Lastwiderstände an die Ausgangsbuchsen muß darauf geachtet werden, daß ihre Widerstandswerte einen Mindestohmwert nicht unterschreiten.

Beim Anschluß ohm'scher Lastwiderstände und Versorgung mit 5 V (siehe Bild 14) errechnet sich der kleinste Widerstandswert zu:

$$R_{Lmin} = \frac{5 \text{ V}}{39 \text{ mA}} = 128 \Omega$$

Bei Versorgungsspannungen $U_{Vers.}$, die größer als 5 V sind, müssen die entsprechenden 4k7-Kollektorwiderstände auf der Baugruppe einseitig ausgelötet werden. Der kleinste Lastwiderstand errechnet sich dann aus:

$$R_{Lmin} = \frac{U_{Vers.}}{40 \text{ mA}}$$

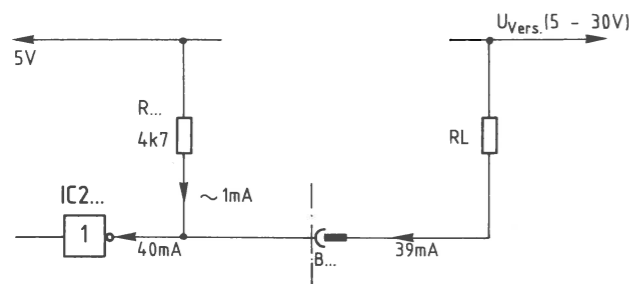


Bild 14: Der Anschluß eines ohm'schen Lastwiderstandes.

Beim Anschluß von induktiven Lasten wie Relais und Spulen ist parallel zur Induktivität eine Freilaufdiode zu schalten:

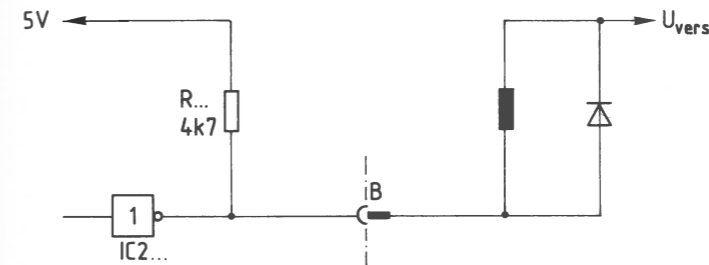


Bild 15: Der Anschluß induktiver Verbraucher.

Der Einsatz galvanisch getrennter Leistungstreiber

Die 8-Bit-Parallel-Ausgabe-Baugruppe mit galvanisch getrennten Ausgängen ist für die Ansteuerung von Gleichstrom-Motoren, Relais, Lampen und Wegeventilen durch den Mikrocomputer vorgesehen.

Die extern an die Baugruppe anzuschließende Lastspannung kann Werte zwischen 7 V und 24 V besitzen (Gleichspannung). Der maximale Ausgangsstrom ist abhängig von der Anzahl der benutzten Ausgänge und liegt zwischen 0,5 A und 1 A (siehe Seite 219).

Alle Ausgänge sind Gegentaktausgänge, wodurch auch Brückenschaltungen z. B. zur Ansteuerung von Gleichstrom-Motoren mit Richtungsumkehr und Bremsbetrieb möglich werden. Außerdem können die Ausgänge im Taktbetrieb mit einstellbarem Impuls/Pausen-Verhältnis betrieben werden, wodurch sich unterschiedlich hohe Ausgangsspannungen bei nur einer externen Lastspannung erzielen lassen.

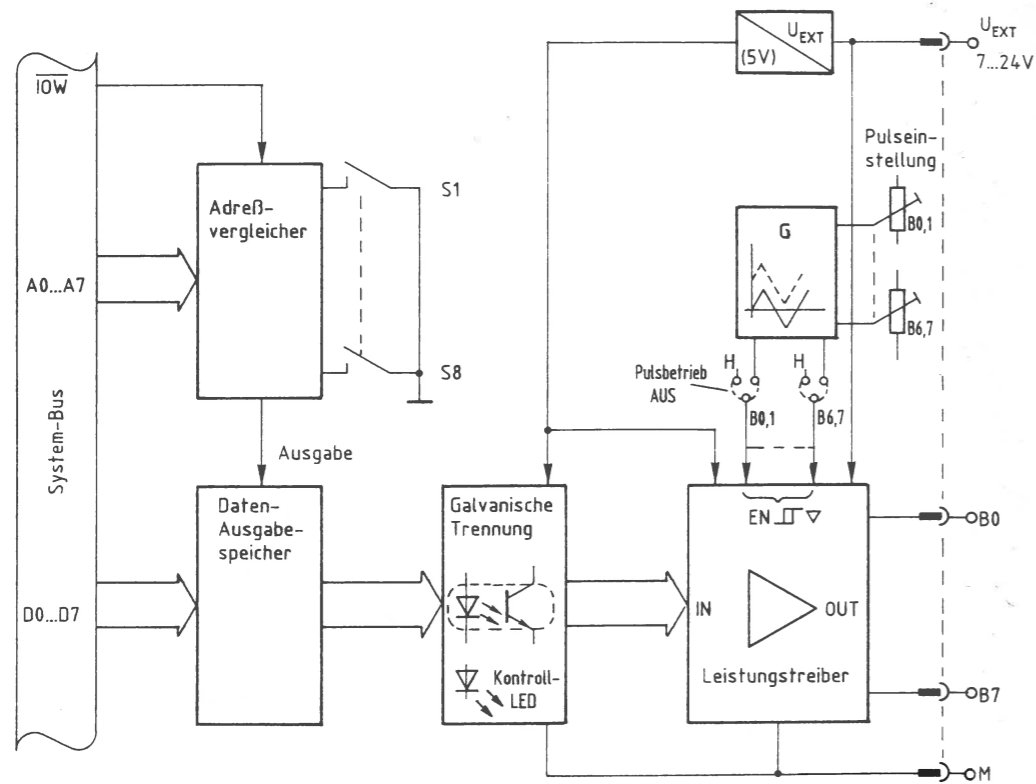


Bild 16: Das Blockschaltbild der 8-Bit-Parallel-Ausgabe mit galvanischer Trennung und Einsatz von Leistungstreibern.

Die von der CPU an die Peripherie auszugebenden Daten gelangen, wie oben beschrieben, über den Daten-Bus in den Daten-Ausgabespeicher, wenn der Adreßvergleichler vom Adreß-Bus die richtige Adresse erhält und außerdem das Steuersignal \overline{IOW} aktiv ist.

Jedes Bit steuert einen Optokoppler zur galvanischen Trennung von Steuer- und Lastkreis an und außerdem eine Kontroll-LED, die bei H-Pegel leuchtet.

Die Fototransistoren der Optokoppler steuern die IN-Eingänge eines 8fach-Leistungstreibers an, mit den Ausgängen B0...B7. Die Lastspannung U_{EXT} (7 V bis 24 V) wird dem Leistungstreiber von außen zugeführt. Die erforderliche Spannungsquelle muß für den Laststrom aller angeschlossenen Verbraucher ausgelegt sein. Aus U_{EXT} wird außerdem eine 5-V-Versorgungsspannung gebildet, die gegenüber der 5-V-Versorgungsspannung des Mikrocomputers galvanisch getrennt ist.

Die Steuerung der Leistungstreiber erfolgt über Enable-Eingänge mit Schmitt-Trigger-Eigenschaften. Für jeweils zwei Bit des 8fach-Leistungstreibers (B0/B1, B2/B3, B3/B4, B5/B6) ist ein gemeinsamer Enable-Eingang vorhanden. Bei H-Pegel an den Enable-Eingängen arbeiten die Leistungstreiber, bei L-Pegel sind sie gesperrt (hochohmig).

Mit Hilfe von Steckbrücken können die Enable-Eingänge entweder auf H-Pegel (»Pulsbetrieb AUS«) oder auf die Ausgänge eines Dreiecksgenerators geschaltet werden (»Pulsbetrieb«). Da der Gleichspannungsanteil der Dreiecksspannung mit Hilfe von Trimmwiderständen veränderbar ist, erhalten die Enable-Eingänge im Pulsbetrieb nicht ständig H-Pegel, sondern nur in den Zeitabschnitten, in denen die Dreiecksspannung Werte oberhalb der Schaltschwellen der Enable-Eingänge (Schmitt-Trigger) besitzt. Hierdurch wird die Ausgangsspannung bzw. der Ausgangsstrom der jeweiligen Ausgänge gepulst, was einer Mittelwertveränderung entspricht.

Die Höhe der Ausgangsspannung kann auf diese Weise jeweils für 2 Bit zwischen 0 und ca. 100 % von U_{EXT} verändert werden, ohne die Spannung U_{EXT} selbst zu verändern. Es ist möglich, einige Ausgänge gepulst und andere statisch zu betreiben.

Lastwiderstände (z. B. Lampen, Relais) können von einem Ausgang (z. B. B0) entweder gegen U_{EXT} oder gegen den Anschluß M angeschlossen werden. Die für induktive Lasten erforderlichen Freilaufdioden sind in der Ausgabe-Baugruppe (Ausführung mit galvanischer Trennung) bereits vorhanden (siehe auch Bild 19).

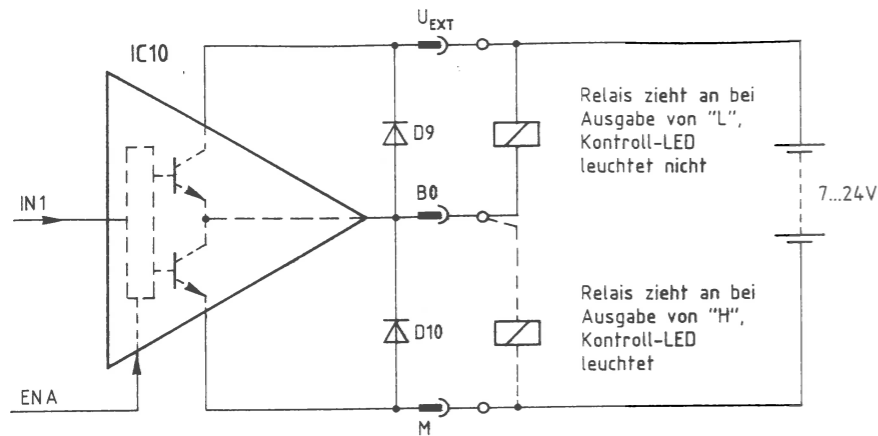


Bild 17: Der Anschluß der Freilaufdioden.

Gleichstrom-Motoren (max. 1 A im Dauerbetrieb) können in Brückenschaltung an zwei Bit (z. B. B0 und B1) angeschlossen werden. Bei H-Pegel an IN1 und L-Pegel an IN2 läuft der Motor in die eine, bei umgekehrten Pegeln in die andere Richtung. Führen IN1 und IN2 beide gleiche Pegel, so wird der Motor kurzgeschlossen (Bremsbetrieb).

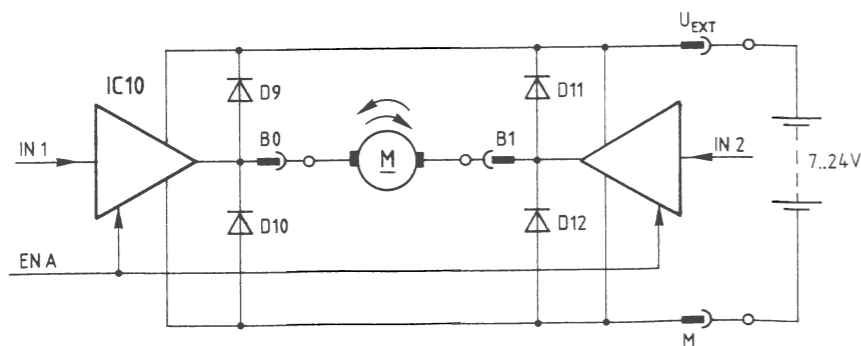


Bild 18: Eine Brückenschaltung zum Anschluß eines Gleichstrom-Motors mit Drehrichtungswahl.

Noch einige technische Daten der Baugruppe:

Der Ausgangsstrom eines Anschlusses der 8-Bit-Baugruppe ist abhängig von der Anzahl der benutzten Ausgänge:

Die Ausgänge sind in die beiden Gruppen B0...B3 und B4...B7 eingeteilt. Für jede Gruppe gilt:

- $I_{max} = 0,5 \text{ A/Bit}$, wenn alle vier Ausgänge der Gruppe im Einzelbitbetrieb benutzt werden;
- $I_{max} = 1 \text{ A}$ für 1 Bit und zusätzlich $0,5 \text{ A}$ für ein weiteres Bit der Gruppe (Einzelbitbetrieb, 2 Bit der Gruppe unbeschaltet);
- $I_{max} = 1 \text{ A}$, wenn zwei Bit einer Gruppe (B0/B1 oder B2/B3 bzw. B4/B5 oder B6/B7) in Vollbrückenschaltung betrieben werden und die anderen beiden Bits der Gruppe freibleiben.

Die Gegentaktausgänge ermöglichen:

- Einzelbitausgabe (z. B. Relaisansteuerung) oder
- Ansteuerung von Gleichstrommotoren mit Richtungsumkehr und Bremsbetrieb.

Ferner ist ein Impulsbetrieb der Ausgänge mit einstellbarem Impuls/Pausen-Verhältnis zur Veränderung von Gleichstrom-Mittelwerten möglich.

Die Ausgangssignalanzeige für jedes Bit erfolgt durch eine LED.

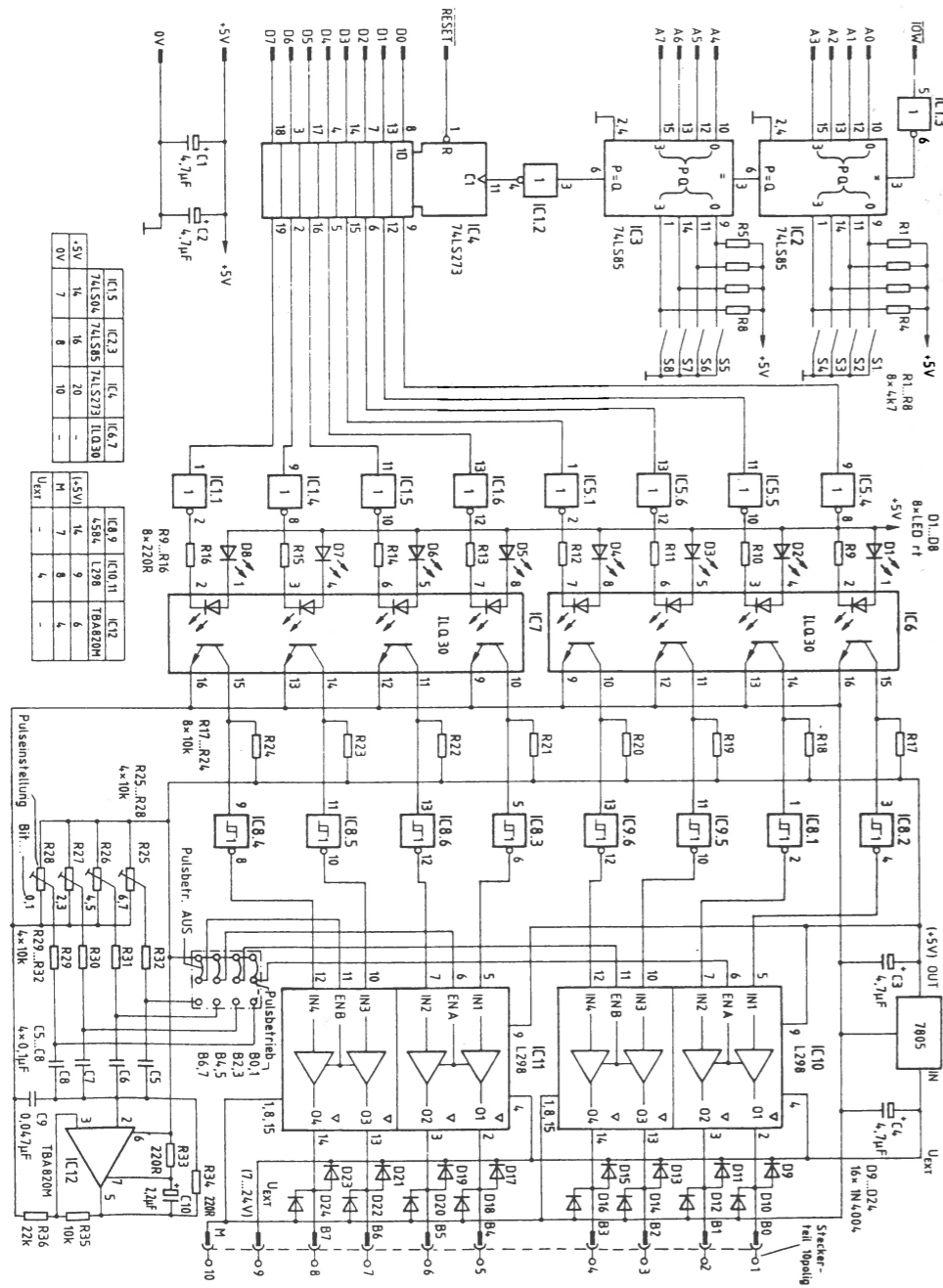


Bild 19: Der Stromlaufplan der 8-Bit-Ausgabe mit Optokopplern und Leistungstreibern.

Einleitung

Die Speicherbausteine sind neben dem Mikroprozessor (CPU) die wichtigsten Bausteine zum Aufbau eines Mikroprozessorsystems. In ihnen sind die Daten und Befehle, die der Mikroprozessor verarbeiten soll, enthalten oder können dort abgelegt werden.

Zum Ausführen eines Programms benötigt der Mikroprozessor unterschiedliche Speichertypen. Daten, die verändert oder vom Anwender eingegeben werden sollen, speichert man in Schreib-Lese-Speichern ab. Solche Speicher nennt man auch RAM. Die Abkürzung steht für »random access memory« und bedeutet: Speicher mit beliebigem Zugriff. Programme, die nicht mehr geändert werden sollen, werden in Nur-Lese-Speichern (ROM) abgespeichert. Hier steht die Abkürzung für »read only memory«, was soviel bedeutet wie: Speicher mit Lese-, aber ohne Schreib-Möglichkeit. Die Programme in diesen Speichern werden vom Hersteller der ROMs im Verlauf der Fertigung in die Speicherzellen geladen. Will man als Anwender solche Programme selbst in Speicher laden, so muß man ROMs verwenden, die sich elektrisch programmieren lassen. Speicher dieser Art nennt man EPROM. Die Abkürzung steht für »erasable programmable read only memory« und bedeutet: löschbarer, aber programmierbarer Festwertspeicher. Die Informationen in einem EPROM sind durch Bestrahlung mit UV-Licht löschtbar; programmiert werden sie durch elektrische Impulse.

Ein weiterer Unterschied der genannten Speichertypen ist ihr Verhalten nach Abschalten der Betriebsspannung: ROM- und EPROM-Speicher behalten dabei ihren Inhalt, während er bei RAM-Speichern verlorengeht.

Um das MC-Baugruppensystem erweiterbar und flexibel zu machen, werden die Speicherbausteine auf einer eigenen Baugruppe angeordnet. Diese kann entweder mit RAM- oder mit EPROM-(ROM-)Speichern bestückt werden. Die hierzu nötige Umschaltung erfolgt z. B. durch Einlöten einiger Drahtbrücken. Speicher-Erweiterungen sind einfach durch Einsatz weiterer Baugruppen möglich.

Im folgenden wird zunächst erklärt, was beim Aufbau solcher Baugruppen zu beachten ist. Anschließend wird die Funktion der 8-K-RAM-EPROM-Baugruppe beschrieben.