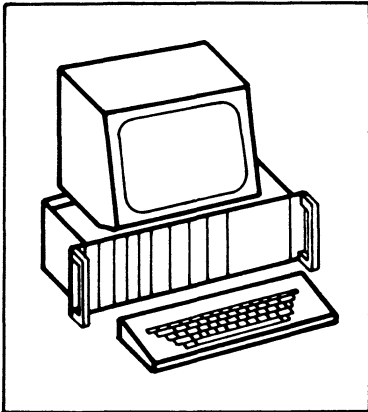


# FACHPRAKTISCHE ÜBUNG MIKROCOMPUTER-TECHNIK



Prozessor 8085

BFZ/MFA 2.1.



---

Diese Übung ist Bestandteil eines Mediensystems, das im Rahmen eines vom Bundesminister für Bildung und Wissenschaft, vom Bundesminister für Forschung und Technologie sowie der Bundesanstalt für Arbeit geförderten Modellversuches zum Einsatz der "Mikrocomputer-Technik in der Facharbeiterausbildung" vom BFZ-Essen e.V. entwickelt wurde.

---

---

Prozessor 8085

---

## Fachtheoretischer Teil

1. Einleitung
  - 1.1. Stromlaufplan der Baugruppe "Prozessor 8085"
2. Arbeitsweise des Prozessors
  - 2.1. Taktsteuerung
  - 2.2. Zustandsanzeigesignale S0, S1
  - 2.3. Rücksetzen und Starten des Prozessors
    - 2.3.1. Automatischer Start nach dem Einschalten der Versorgungsspannung
    - 2.3.2. Rücksetzen (Neustart) während des Betriebs des Prozessors
3. Pufferung der CPU-Ausgänge
  - 3.1. Zwischenspeicherung der Adressen
  - 3.2. Erkennung der Datensignale und Steuerung der Datenrichtung
  - 3.3. Trennen der CPU vom System-Bus über den CPU-Eingang HOLD
    - 3.3.1. Das Zusammenwirken der Baugruppen "Prozessor 8085" und "Bus-Signalgeber"
4. Die Steuersignale  $\overline{\text{MEMR}}$ ,  $\overline{\text{MEMW}}$ ,  $\overline{\text{IOR}}$  und  $\overline{\text{IOW}}$  und ihre Erzeugung aus den CPU-Steuersignalen  $\overline{\text{RD}}$ ,  $\overline{\text{WR}}$  und  $\text{IO}/\overline{\text{M}}$
5. Einzelschrittsteuerung der CPU
  - 5.1. Die Funktion des READY-Eingangs
  - 5.2. Grundschialtung zur Einzelschrittsteuerung
    - 5.2.1. Gemeinsames Auftreten von  $\overline{\text{HOLD}}$ - und  $\overline{\text{READY}}$ -Signalen
    - 5.2.2. Einzelschrittbetrieb ab einer eingestellten Adresse
  - 5.3. Das Zusammenwirken der Baugruppen "Prozessor 8085" und "Bus-Signalanzeige"
    - 5.3.1. Einzelschrittbetrieb ohne Adressenstop
    - 5.3.2. Einzelschrittbetrieb mit Adressenstop
6. Interrupteingänge, Interruptsignale
7. Serieller Dateneingang (SID) und Datenausgang (SOD)
  - 7.1. 20-mA-Stromschnittstelle
  - 7.2. V-24-Spannungsschnittstelle
8. Blockschaltdiagramm der Baugruppe "Prozessor 8085"

Fachpraktischer Teil

Flußdiagramm für den Arbeitsablauf

Bereitstellungsliste

Übungsteil

Arbeitsblätter

- A1. Ätzen und Bohren der Leiterplatte, Layout Bestückungsseite
- A2. Bestücken der Leiterplatte
- A3. Fertigen und Bestücken der Frontplatte
- A4. Zusammenbau und Verdrahten des Einschubs
- A5. Sichtkontrolle des Einschubs
- A6. Überprüfen der Funktion

---

## Prozessor 8085

---

### 1. Einleitung

Die Baugruppe "Prozessor 8085" steuert mit Hilfe der beiden Speicherbaugruppen EPROM (Lesespeicher) und RAM (Schreib-/Lesespeicher) den Ablauf des gesamten Mikrocomputers. Über eine Datensichtstation und Ein- und Ausgabe-Baugruppen kann der Mensch oder eine Maschine Verbindung mit dem Mikrocomputer aufnehmen.

Den Kern der Baugruppe "Prozessor 8085" stellt die CPU 8085A (Central-Processing-Unit = zentrale Prozessor Einheit) dar, man nennt sie auch Mikroprozessor oder kurz MIP. Sie übernimmt die eigentlichen Steuer- und Rechenvorgänge, hierzu benötigt sie noch einige Hilfsbausteine, deren Funktionen im folgenden erklärt werden; der innere Aufbau der CPU aus Registern, Akkumulator arithmetischer logischer Einheit usw. wird in der FTÜ "Mikroprozessor" BFZ/MFA 10.4. erklärt. Durch die verwendete CPU ist die Anzahl der Leitungen vom Adreß- und Daten-Bus festgelegt. Sie verfügt über einen 16-Bit-Adreß-Bus und einen 8-Bit-Daten-Bus. Mit den 16 Adreßleitungen kann die CPU maximal  $2^{16} = 65536$  Speicherplätze mit einer Datenbreite von 8 Bit (1 Byte) adressieren.

Der Befehlssatz ist durch die CPU ebenfalls fest vorgegeben.

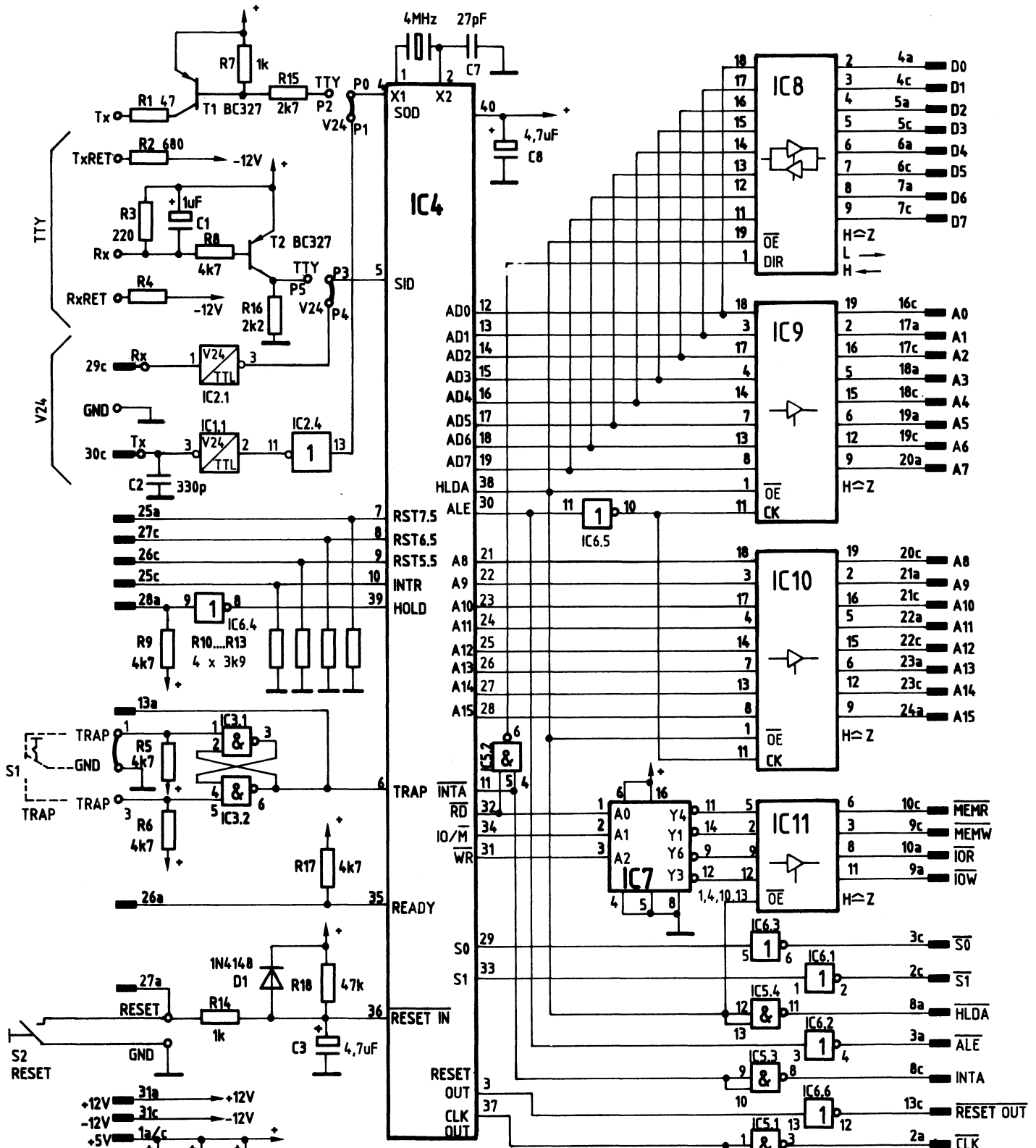
Mit dem 8085 vergleichbare Mikroprozessoren sind zum Beispiel der 8080 von INTEL (der Vorgänger des 8085), der 6500 von Rockwell, der 6800 von Motorola und der Z80 von Zilog. Sie alle gehören zur Gruppe der 8-Bit-Mikroprozessoren, d.h. sie verfügen über einen 8-Bit-Daten-Bus. Im Handel erhältlich sind auch schon Weiterentwicklungen obiger Prozessortypen mit einem 16-Bit-Daten-Bus; sie sind leistungsfähiger, jedoch komplizierter aufgebaut und schwieriger zu handhaben.

Im Gegensatz zu den anderen Baugruppen des Mikrocomputersystems benötigt die CPU-Baugruppe zum Betrieb ein Programm (Software). Für die Erstellung und Inbetriebnahme der Baugruppe ist es aber noch nicht erforderlich.

#### 1.1. Stromlaufplan der Baugruppe "Prozessor 8085"

Bild 1 zeigt den Stromlaufplan der Baugruppe. Sie sollten ihn zur Orientierung bei allen folgenden Schaltungserklärungen mit benutzen.

Prozessor 8085



	IC1	IC2	IC3,5	IC4	IC6	IC7	IC8	IC9,10	IC11
	MC1488	MC1489	74LS00	8085	74LS04	74LS138	74LS245	74LS374	74LS125A
+12V	14	/	/	/	/	/	/	/	/
-12V	1	/	/	/	/	/	/	/	/
+5V	/	14	14	40	14	16	20	20	14
0V	7	7	7	20	7	8	10	10	7

Bild 1: Stromlaufplan "Prozessor 8085"

Prozessor 8085

2. Arbeitsweise des Prozessors

Der Prozessor bearbeitet Befehle nach einem fest vorgegebenen Takt, den man Arbeitstakt nennt. Seine Arbeitsgeschwindigkeit wird durch diesen Takt bestimmt. Die zu bearbeitenden Befehle müssen ihm über ein Programm mitgeteilt werden, das in einem Speicher in binärer Form abgelegt ist. Die CPU 8085 "versteh" 93 verschiedene Befehle, sie bilden den Befehlssatz des Prozessors. Ein Befehl kann aus einem Byte (8 Bit), aus zwei oder aus drei Bytes bestehen. Das Flußdiagramm (Bild 2) zeigt, wie solche Befehle abgearbeitet werden.

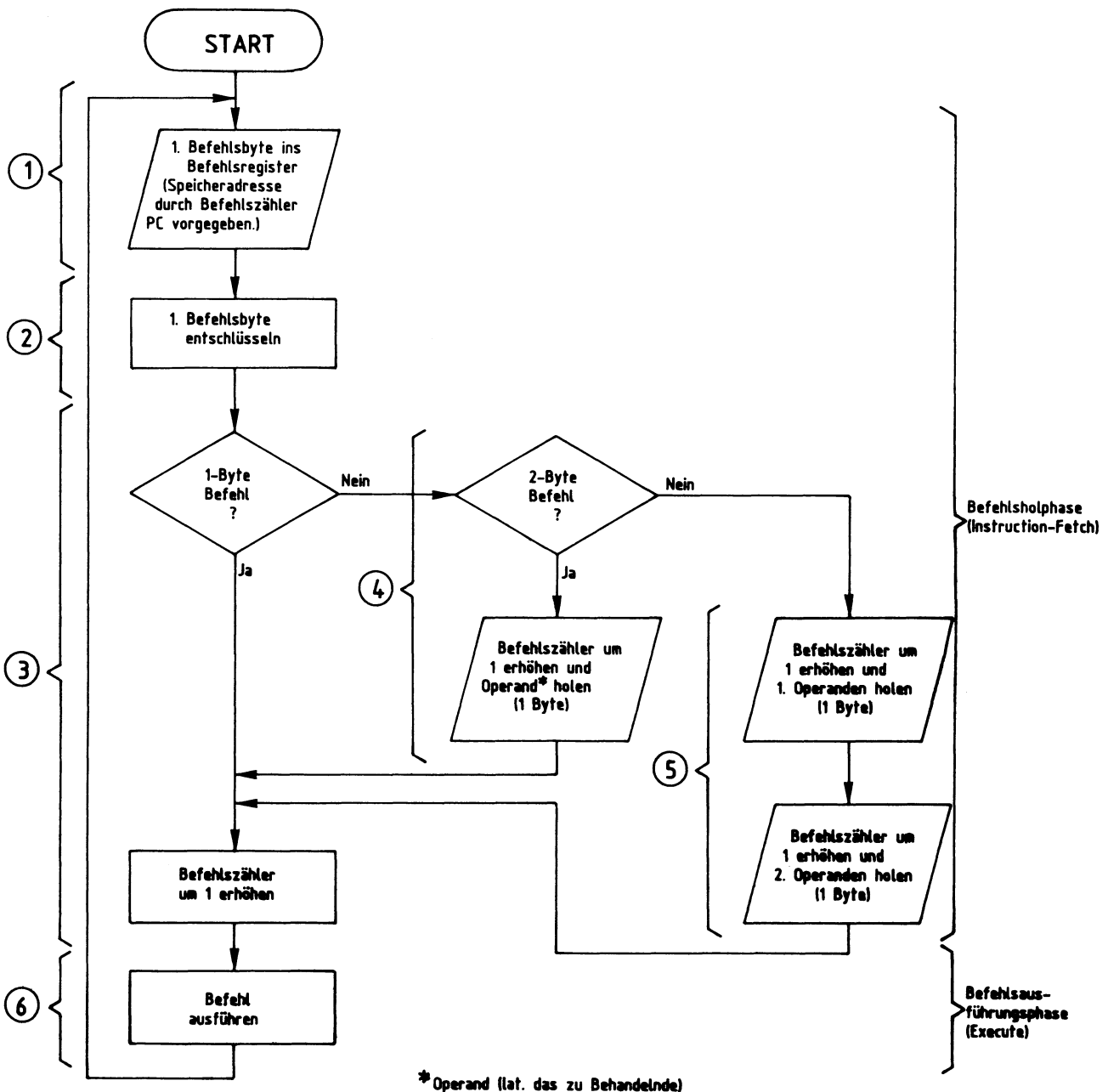


Bild 2: Einfaches Flußdiagramm "Befehlsabarbeitung"

Zu 1: Nach dem Starten eines Programms holt sich der Prozessor ein Befehlsbyte (Operationscode, kurz Op-Code genannt) aus dem Speicher in ein internes 8-Bit-Register, das Befehlsregister. Der Speicherplatz wird dabei durch ein 16-Bit-Register, den Befehlszähler (Programm-Counter, kurz PC) adressiert.

Zu 2: Dieses erste Byte entschlüsselt (decodiert) der Prozessor und steuert entsprechend den weiteren Ablauf.

Zu 3: Handelt es sich um einen Befehl, der keine weiteren Daten oder Adressen benötigt (1-Byte-Befehl), so erhöht der Prozessor den Befehlszähler und führt den Befehl aus.

Beispiel eines 1-Byte-Befehls:

Bilde das Komplement vom Inhalt des Registers A (Akkumulator, kurz Akku), d.h. jede 1 des im Akku stehenden Bytes wird durch eine 0 ersetzt und umgekehrt.

Mnemonicischer-Code*	Hexadezimal-Code	Binär-Code
CMA	2F	0010 1111

Aufgrund dieses einen Befehlsbytes kann der Prozessor den Befehl ausführen.

Zu 4: Benötigt der vom Prozessor geholte Befehl weitere Angaben, wie zum Beispiel eine zum Befehl gehörende Konstante (Operand), so erhöht er zuerst den Befehlszähler, holt den Operanden und führt dann den Befehl aus.

Beispiel eines 2-Byte-Befehls:

Verknüpfe das im Akku stehende Byte mit dem zweiten Byte des Befehls UND. Das zweite Byte wird hier willkürlich mit 80 (hexadezimal) gewählt.

Mnemonicischer-Code	Hexadezimal-Code	Binär-Code
ANI 80	E6 80	1110 0110 1000 0000

— 2. Byte, Operand

— 1. Byte, Operationscode

\* mnemonicisch = leichter merkbar

## Prozessor 8085

Außer dem Operationscode ANI (E6) benötigt der Prozessor noch eine Bitkombination (Operand, hier 80H), mit der er den Akkumulatorinhalt UND-verknüpfen soll.

Zu 5: Folgt dem ersten Befehlsbyte eine Speicheradresse (2 Byte), so muß der Prozessor den Befehlszähler zweimal erhöhen und das jeweilige Adreß-Byte holen, um danach den Befehl ausführen zu können.

Beispiel eines 3-Byte-Befehls:

Springe (JUMP) zur angegebenen Adresse, nämlich F800H.

Mnemonic	Hexadezimal	Binär
JMP F8 00	C3 00 F8	1100 0011 0000 0000 1111 1000

3. Byte, 2. Operand (niederwertiges Adreßbyte)
   
2. Byte, 1. Operand (höherwertiges Adreßbyte)
   
1. Byte, Operationscode

Wie das Beispiel zeigt, folgt in der hexadezimalen und in der binären Darstellung des Befehls dem Operationscode zuerst das niederwertige Byte und dann das höherwertige Byte der Speicheradresse. In dieser Reihenfolge muß eine zum Befehl gehörende Adresse im Speicher stehen.

Zu 6: Beispiel für die Ausführung des Befehls CMA:

Angenommener Akku-Inhalt vor der Befehlsausführung:

0110 1101

Akku-Inhalt nach der Befehlsausführung:

1001 0010

Jedes Bit des Akkumulators ist durch den Befehl CMA invertiert worden.



## 2.1. Die Taktsteuerung

Die CPU besitzt einen internen Taktoszillator, dessen Frequenz von einem außen angeschlossenen 4-MHz-Quarz abgeleitet wird. Sie halbiert die vom Quarz gelieferte Taktfrequenz und formt sie in ein Rechtecksignal um.

Nach dem so gewonnenen 2-MHz-Takt, der als Systemtakt dient, laufen alle Vorgänge in der CPU ab. Gleichzeitig steht der Systemtakt am Ausgang "CLK OUT" (CLOCK OUT) für weitere Anwendungen im Mikrocomputer zur Verfügung (Bild 3). Rechts im Bild sind die Oszillogramme der Ein- und Ausgangstaktfrequenz und die Meßpunkte an der CPU angegeben.

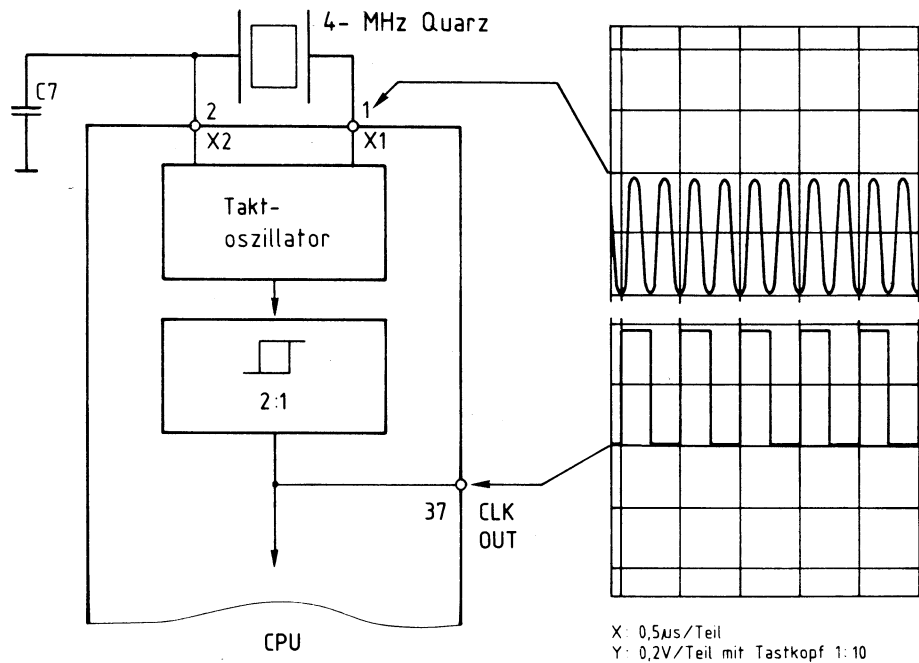


Bild 3: Takterzeugung und oszillografische Darstellung des Taktes

Wie schon im Flußdiagramm Bild 2 zu sehen war, unterteilt sich die Abarbeitung eines Befehls in zwei Phasen:

- in die Befehlsholphase (instruction fetch)
- in die Befehlsausführungsphase (execute)

Beide Befehlsphasen stehen in zeitlichem Zusammenhang zum Systemtakt.

## Prozessor 8085

Jede Befehlsabarbeitung beginnt mit der Befehlsholphase.

Bild 4 zeigt den Verlauf einiger wichtiger Signale der Befehlsholphase. Die Abarbeitung erfolgt während der Taktzyklen T1 bis T4.

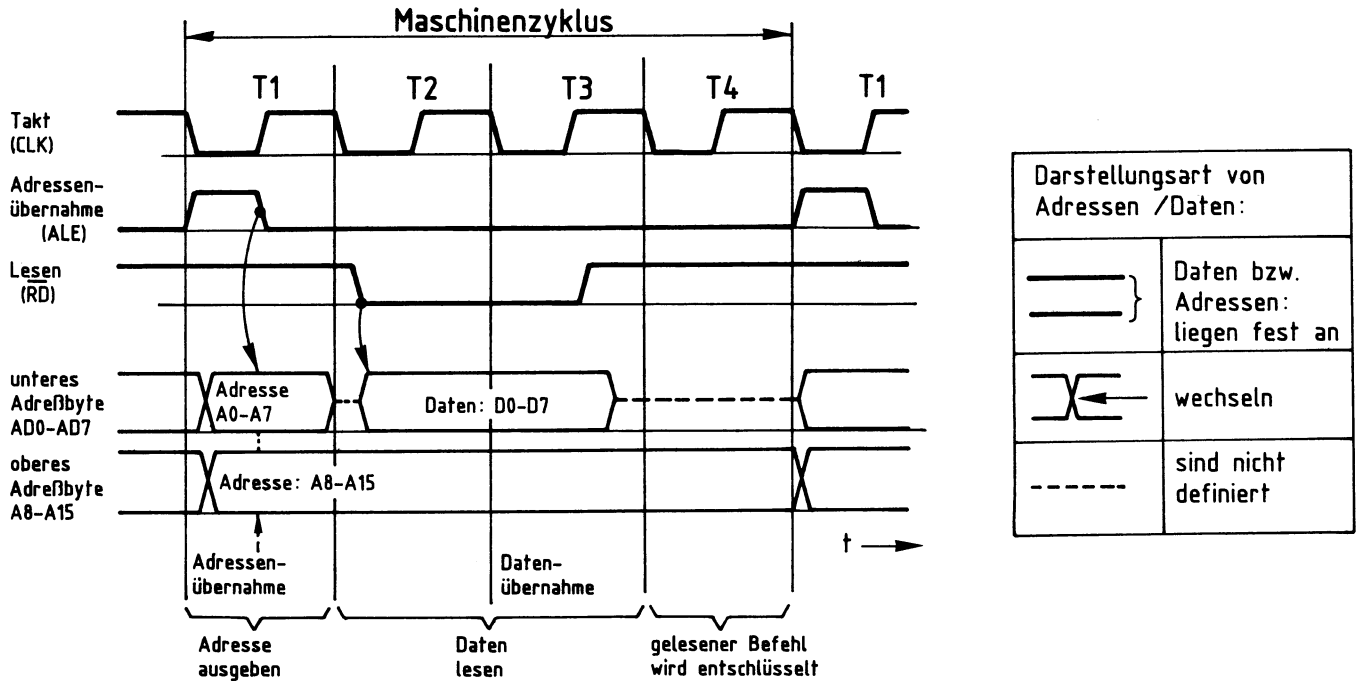


Bild 4: Signalverlauf "Befehl holen und entschlüsseln" , (Befehlsholphase)

## Beschreibung des Signalverlaufes

Takt T1: Während dieser Zeit gibt der Prozessor die Adreßsignale aus. Das niederwertige Adreß-Byte steht auf den Leitungen AD0 ... AD7 nur etwa während eines Taktes zur Verfügung, weil diese Leitungen auch zum Datentransport verwendet werden. Mit Hilfe des ALE-Signals wird deshalb die ausgegebene Adresse zwischengespeichert. Dieser Vorgang wird genauer im Kapitel 3.1. "Zwischenspeicherung der Adressen" beschrieben.

Takt T2: Das Steuersignal "Lesen" ( $\overline{RD}$ , aktiv Low) wird ausgegeben. An den Adreß-Datenanschlüssen AD0 bis AD7 liegen nun die Daten (der Befehl) aus dem adressierten Speicherplatz an.

Prozessor 8085

Takt T3: Innerhalb von T3 liest der Prozessor das dann stabil anstehende Befehlsbyte ein.

Takt T4: Das Lesesignal ist nicht mehr aktiv. Der Prozessor entschlüsselt in dieser Zeit den gelesenen Befehl.

Die Abarbeitung eines Befehls erfolgt schrittweise, z.B. wird bei einem 2-Byte-Befehl zuerst das erste und dann das zweite Befehls-Byte geholt und schließlich der Befehl ausgeführt. Man nennt diese Schritte auch Maschinentzyklen. Sie sind aus Takten oder Taktzyklen aufgebaut. Ein Maschinentzyklus zum Holen des Operationsteils eines Befehles (1. Befehls-Byte) besteht z.B. aus vier Takten.

Bild 5 zeigt anhand des 2-Byte-Befehls "IN" (Daten von einer Eingabe-Baugruppe lesen) den Signalverlauf für die Ausführungszeit des gesamten Befehls.

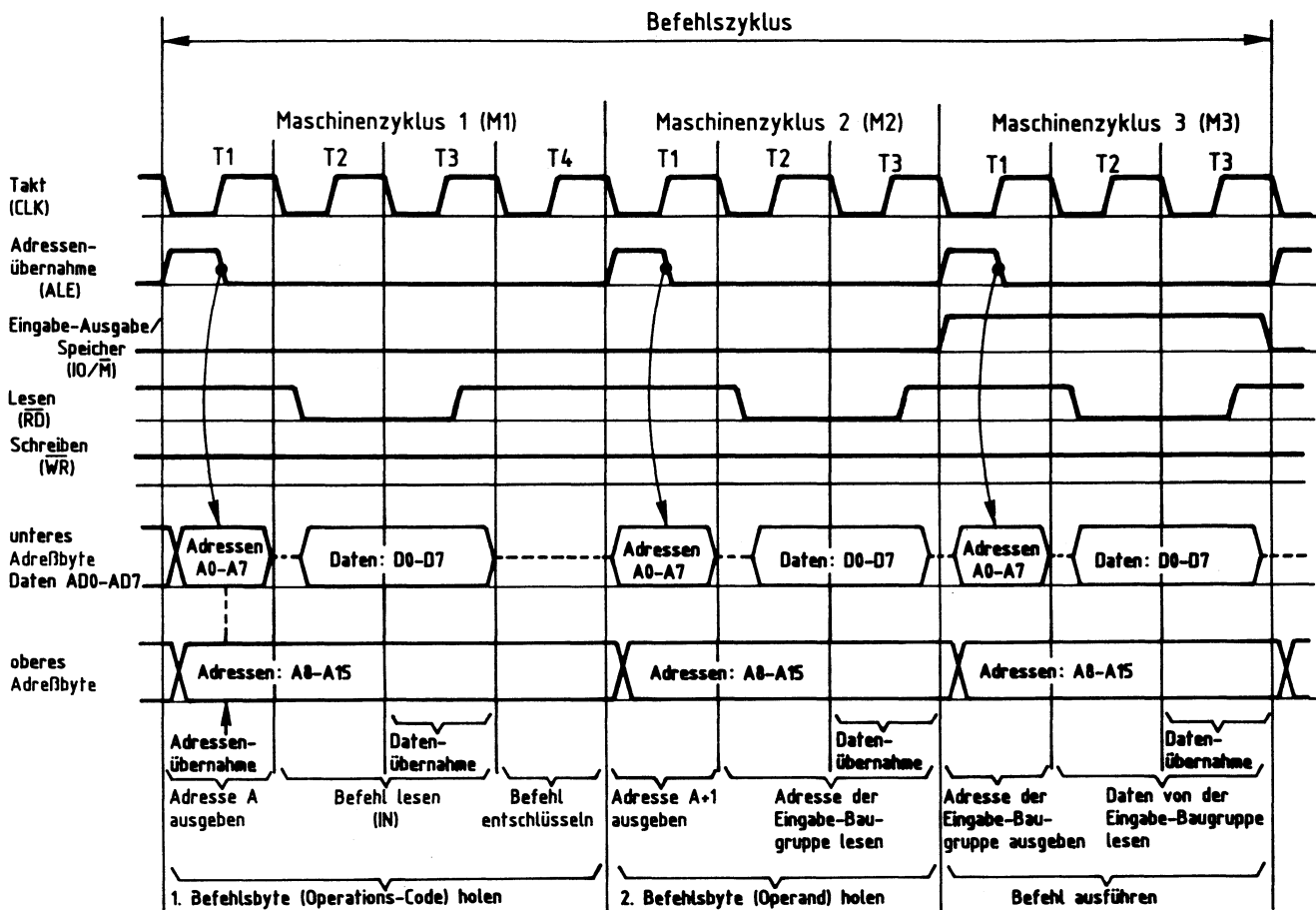


Bild 5: Verlauf der Steuer-, Adreß - und Datensignale für den Befehl "IN"

## Prozessor 8085

## Beschreibung des Signalverlaufes

Der Signalverlauf ist in drei Maschinenzyklen unterteilt, und diese wiederum in einzelne Takte.

## Maschinenzyklus 1 (M1):

Der Befehl "IN" wird geholt.

Dies entspricht dem Vorgang in Bild 4. Das hinzugekommene Steuersignal  $I\bar{O}/\bar{M}$  (Input-Output/Memory = Eingabe-Ausgabe/Speicher) zeigt durch L-Pegel an, daß der Befehl aus dem Speicher geholt wird.

## Maschinenzyklus 2 (M2):

Die Adresse der Eingabe-Baugruppe wird geholt.

T1: Die Speicheradresse, unter der die Adresse der Eingabe-Baugruppe gespeichert ist, wird ausgegeben und zwischengespeichert mit dem H/L-Sprung auf der ALE-Leitung.

T2 u. T3: Die CPU liest mit dem low-aktiven Signal " $\overline{READ}$ " ( $\overline{RD}$ ) die Adresse der Eingabe-Baugruppe aus dem adressierten Speicherplatz.

## Maschinenzyklus 3 (M3):

Das Datenbyte wird von der Eingabe-Baugruppe geholt (Befehlsausführung).

T1: Die zuvor gelesene Adresse der Eingabe-Baugruppe schaltet die CPU nun auf den Adreßbus. Der H-Pegel auf der  $I\bar{O}/\bar{M}$ -Leitung bedeutet, daß mit der Adresse eine Eingabe-Baugruppe und kein Speicherplatz angesprochen wird.

T2 u. T3: Die CPU übernimmt das an der Eingabe-Baugruppe anstehende Datenbyte. Während dieser Zeit führt die Steuerleitung  $\overline{READ}$  L-Pegel.

Während der gesamten Befehlsphase hat das Signal  $\overline{WR}$  (WRITE = Schreiben) H-Pegel und ist damit nicht aktiv. Bei Befehlen, die der CPU Anweisungen zum Schreiben von Daten in einen Speicher bzw. an eine Ausgabe-Baugruppe geben, wird das  $\overline{WRITE}$ -Signal aktiv durch Anlegen von L-Pegel. Der Beginn eines jeden neuen Maschinenzykles wird durch H-Pegel des ALE-Signals angezeigt.

Für den Befehl "IN" sind die oben besprochenen Signalverläufe (ohne Adreß- und Datensignale) an den jeweiligen CPU-Anschlüssen oszilloskopiert und in Bild 6a dargestellt. Zum Vergleich zeigt Bild 6b die Signalverläufe für den Befehl "OUT", der Daten an eine Ausgabe-Baugruppe übermittelt.

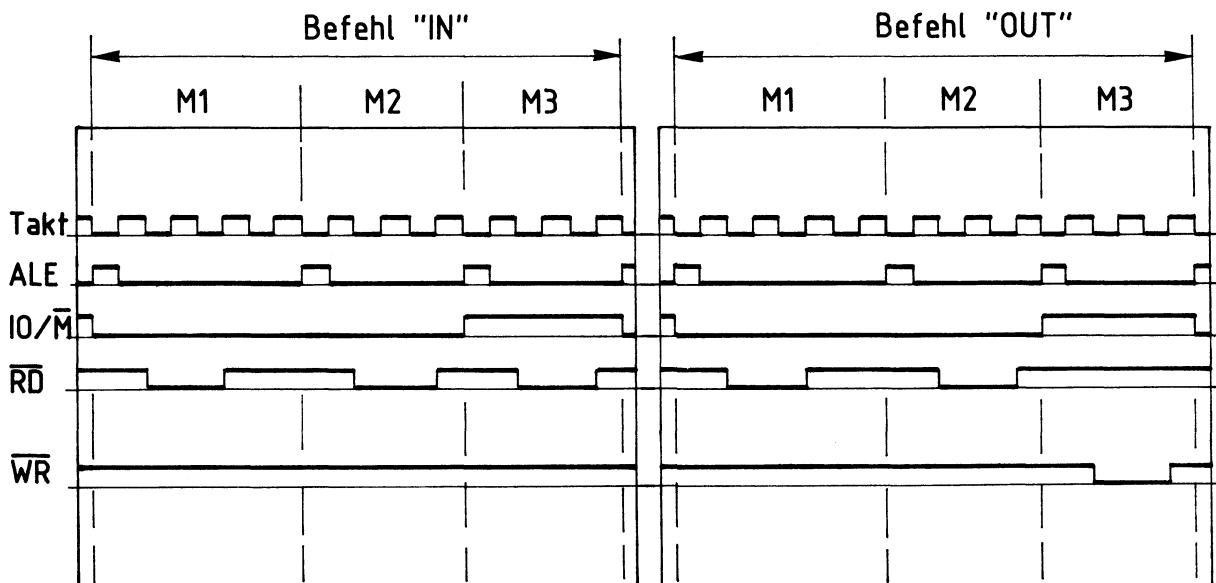


Bild 6.a: Steuersignale "IN... Befehl" Bild 6.b: Steuersignale "Out..Befehl"

Bis auf  $\overline{RD}$  (Lesen) und  $\overline{WR}$  (Schreiben) im Maschinenzyklus M3 sind die aufgenommenen Steuersignale gleich. Beim OUT-Befehl bleibt  $\overline{RD}$  im dritten Maschinenzyklus auf H-Pegel und  $\overline{WR}$  geht auf L-Pegel, beim IN-Befehl sind die Pegelwerte gerade umgekehrt.

Anhand der beiden Oszillogramme ist gut zu erkennen, wie und wann die CPU mit Hilfe der drei Steuersignale ( $IO/\overline{M}$ ,  $\overline{RD}$  und  $\overline{WR}$ ) Baugruppen des Mikrocomputers anspricht.

2.2. Zustandsanzeige-Signale S0, S1

Über die beiden Steuersignale S0 und S1 zeigt die CPU ihren momentanen Tätigkeitszustand (Status) an.

Um das zu verdeutlichen, sind in Bild 7 zusätzlich zu den in Bild 6 aufgenommenen Steuersignalen des IN- und OUT-Befehls die Signale S0 und S1, dargestellt.

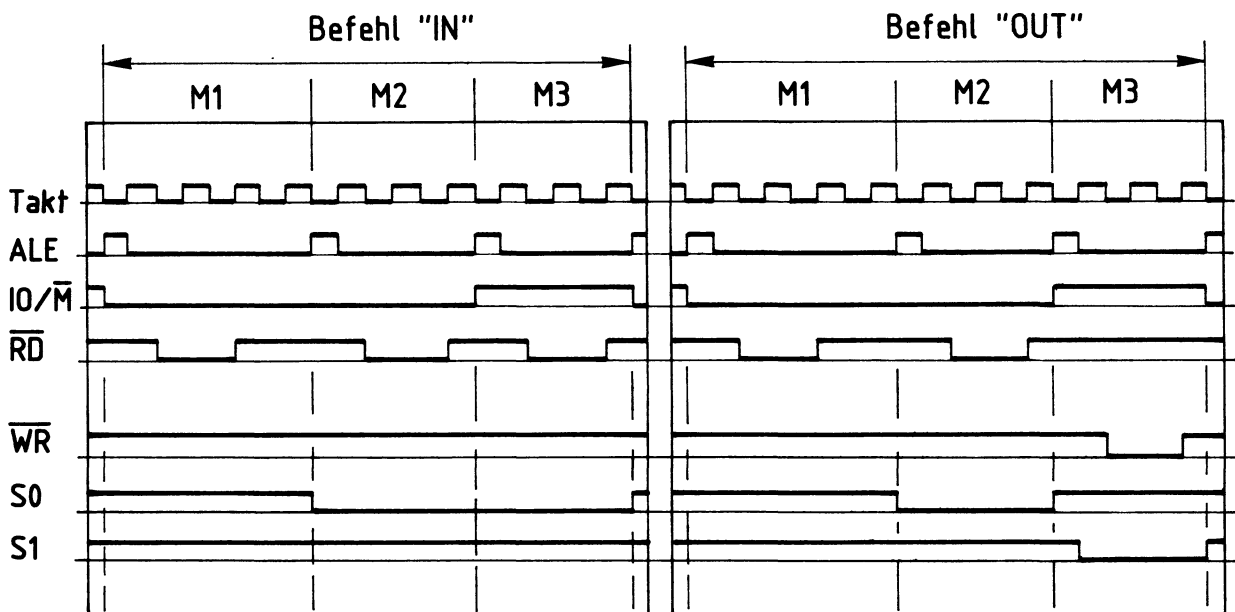


Bild 7: Steuersignale beim IN- und OUT- Befehl mit den Status- Signalen S0 u. S1

Beschreibung der Zustandssignale beim Befehl "IN".

Maschinen-zyklus	Tätigkeit der CPU	Zustandssignale der CPU	
		S1	S0
M1	Befehl aus dem Speicher lesen	H	H
M2	Adresse der Eingabe-Baugruppe aus dem Speicher lesen	H	L
M3	Datenbyte der Eingabe-Baugruppe lesen	H	L

## Prozessor 8085

Mit dem H-Pegel an S1 signalisiert die CPU einen Lesevorgang. Führt S0 gleichzeitig H-Pegel, so wird angezeigt, daß die CPU einen Befehl liest (Instruction-Fetch-Zyklus). Der gleichzeitige H-Pegel von S0 und S1 wird benutzt, um auf der Baugruppe "Bus-Signalanzeige" die Befehlsholphase mit einer Leuchtdiode anzuzeigen.

Beschreibung der Zustandssignale beim Befehl "OUT".

Maschinenzyklus	Tätigkeit der CPU	Zustandssignale der CPU	
		S1	S0
M1	Befehl aus dem Speicher lesen	H	H
M2	Adresse der Ausgabe-Baugruppe aus dem Speicher lesen	H	L
M3	Daten an die Ausgabe-Baugruppe schreiben	L	H

Bis zum Maschinenzyklus M3 stimmen die Zustandssignale beim OUT-Befehl mit denen beim IN-Befehl überein. Mit Beginn von M3 geht das Signal S0 auf H-Pegel. Zwischen den beiden ALE-Impulsen wechselt dann das Signal S1 auf L-Pegel, wodurch der im dritten Maschinenzyklus stattfindende Schreibvorgang angezeigt wird.

Außer der Anzeige der drei Tätigkeits-Zustände "Befehl lesen", "Lesen" und "Schreiben" ist mit den zwei Signalen S0 und S1 noch eine weitere Anzeige möglich, die den Halt-Zustand der CPU signalisiert. In der folgenden Tabelle sind die Zustände vom S0 und S1 zusammengefaßt.

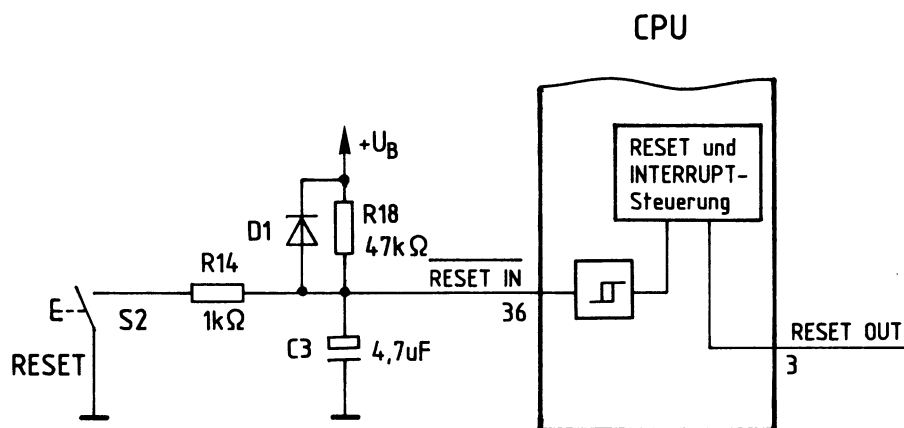
Tätigkeit der CPU	Zustandssignale	
	S1	S0
Halt	L	L
Schreiben	L	H
Lesen	H	L
Befehl lesen	H	H

### 2.3. Rücksetzen und Starten des Prozessors

Durch Anlegen eines L-Pegels an den Eingang "RESET IN" (Rücksetz-Eingang) der CPU ist es möglich, den internen Befehlszähler auf 0000 (Hexadezimal) zu setzen. Nimmt der Eingang H-Pegel an, startet die CPU, indem sie die Adresse 0000 H auswendet. Das Rücksetzen kann auf zwei Arten erreicht werden:

#### 2.3.1. Automatischer Start nach dem Einschalten der Versorgungsspannung

Nach dem Einschalten lädt sich der Kondensator C3 über den Widerstand R18 auf. (Bild 8) Die CPU wird solange angehalten, bis die Spannung am Kondensator die Umschaltsschwelle (ca. 2,4 V) des in der CPU befindlichen Schmitt-Triggers erreicht hat. Diese kurze Verzögerungszeit ist nötig, damit sich die Versorgungsspannung aufbauen und stabilisieren kann, und dadurch ein einwandfreies Arbeiten der CPU gewährleistet ist.



**Bild 8:** Zurücksetzen der CPU

#### 2.3.2. Rücksetzen (Neustart) während des Betriebs des Prozessors

Mit dem Taster S2 ist es jederzeit möglich, ein Rücksetzsignal zu erzeugen. Bei Betätigung von S2 entlädt sich der Kondensator über den Widerstand R14. An RESET IN liegt für die Zeit der Betätigung von S2 L-Pegel und die CPU arbeitet nicht. Durch Öffnen von S2 wird C3 über R18 wieder aufgeladen und die CPU nimmt die Arbeit ab Adresse 0000 H wieder auf.

Im folgenden Bild 9 wurde dieser Vorgang mit einem Oszilloskop aufgenommen. Am zusätzlich dargestellten Signal ALE kann man den Zeitpunkt der Arbeitsaufnahme der CPU erkennen. Da die ALE-Impulse im  $\mu$ s-Bereich liegen - im Gegensatz zur eingestellten Zeitablenkung des Oszilloskops (100 ms/Div.) - ist nur der Beginn dieser Impulse als L-H Sprung erkennbar.



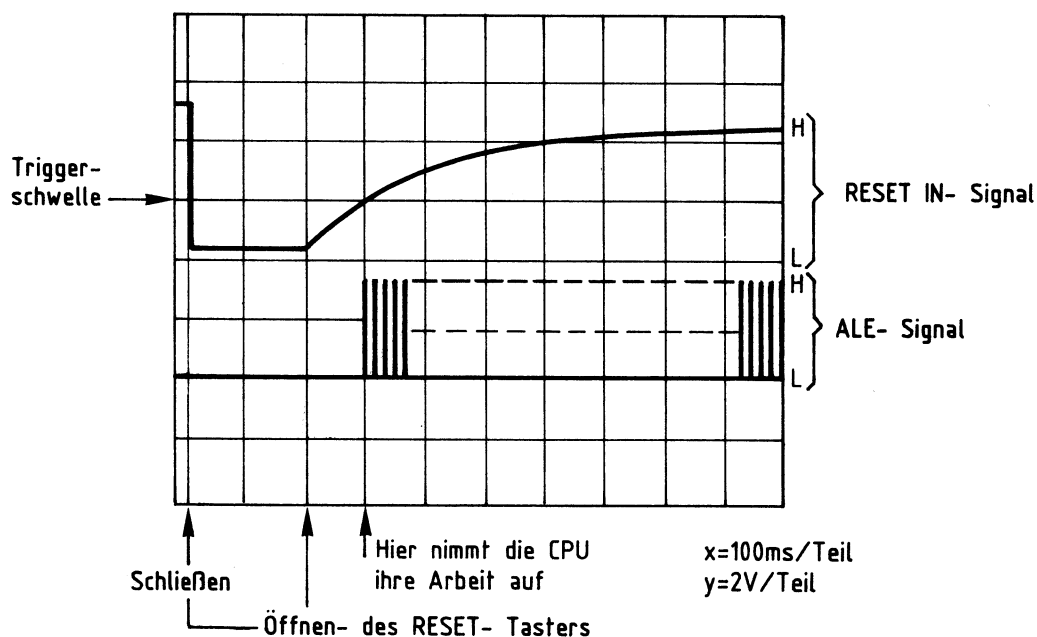


Bild 9: RESET- IN- und ALE- Signalverlauf beim Betätigen der RESET- Taste.

Die beschriebene Rücksetzmöglichkeit dient im wesentlichen bei Programm- oder Bedienungsfehlern dazu, den Prozessor wieder unter Kontrolle zu bringen.

### 3. Pufferung der CPU-Ausgänge

Jeder Ausgang der CPU 8085 kann mit nur einem TTL-Eingang belastet werden. Dies genügt jedoch in MC-Systemen nicht. Bei der Adressierung von Speicherbausteinen z.B. müssen viele Eingänge angesteuert werden, weil alle Speicher parallel geschaltet sind. Zwischen CPU, Speichern und Ein-Ausgabebausteinen müssen deshalb Verstärker geschaltet werden, die größere Ausgangsströme liefern und die Ansteuerung mehrerer Eingänge zulassen. Solche Verstärker nennt man Treiber oder Puffer, sie schützen außerdem die CPU bei Kurzschlüssen auf dem System-Bus.

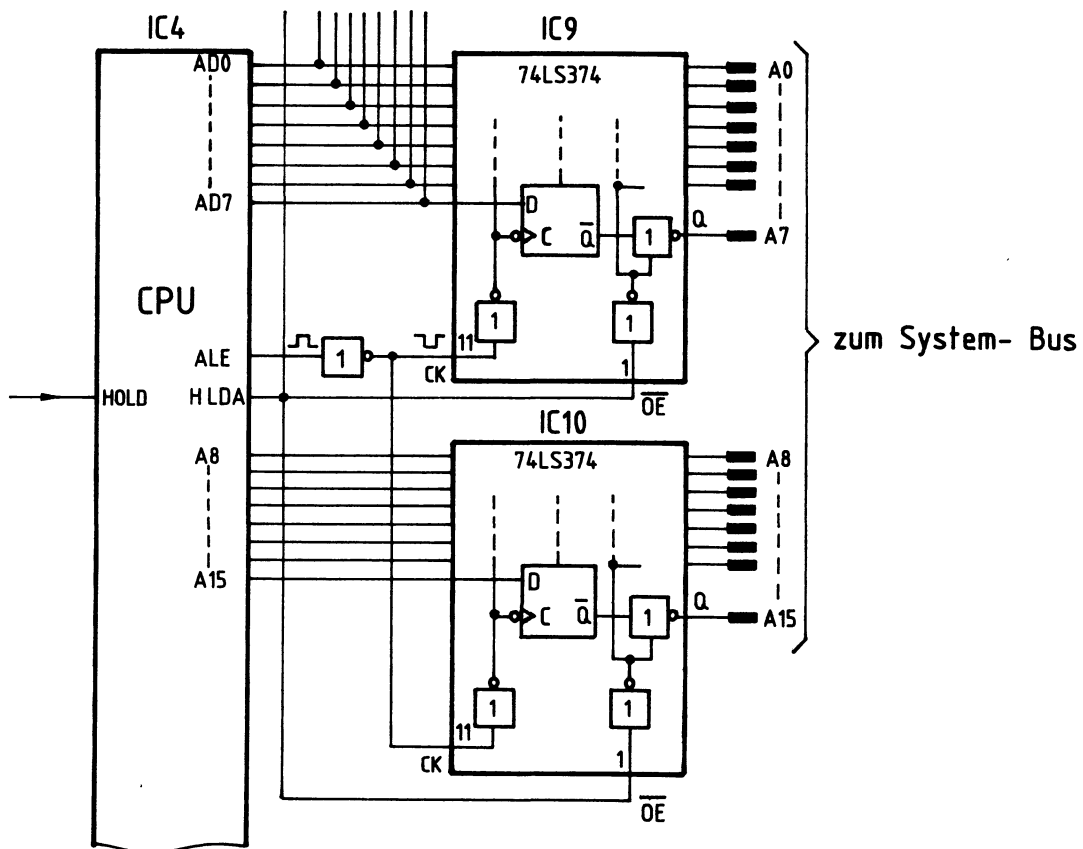
#### 3.1. Zwischenspeicherung der Adressen

Wegen der begrenzten Anzahl (40) der Anschlüsse der CPU 8085 gibt sie die unteren acht Adreßbits und die acht Datenbits zeitlich nacheinander (Zeitmultiplex) über die gleichen CPU-Anschlüsse AD0 bis AD7 aus. Die Bezeichnung AD besagt, daß diese Anschlüsse sowohl für Adressen als auch für Daten benutzt werden.

Prozessor 8085

Eine Adresse muß nun solange ausgegeben werden, bis der Prozessor von der adressierten Speicherstelle Daten geholt oder Daten an sie ausgegeben hat. Damit die unteren 8 Adreßbits auch während der Zeit des Datentransportes verfügbar sind, werden sie zwischengespeichert. Die Übernahme der von der CPU ausgegebenen Adresse in den Zwischenspeicher erfolgt mit der abfallenden Flanke des ALE-Signals. Damit die Adressen auf den System-Bus gelangen können, muß das Steuersignal HLDA (Hold-Acknowledge = Halt bestätigen) L-Pegel führen, denn das HLDA-Signal liefert H-Pegel, wenn die CPU über die HOLD-Leitung angehalten wird, und schaltet dann den Zwischenspeicher in den hochohmigen Zustand.

In Bild 10 ist die Schaltung zur Zwischenspeicherung der Adressen dargestellt. Die ausgangsseitig abschaltbaren ( $\overline{OE}$ ) 8-Bit-D-Register (IC9, IC10) dienen gleichzeitig als Treiber (Pufferung) zum System-Bus hin.



Funktionstabelle 74LS374

Freigabe $\overline{OE}$	Takt CK	Eingang D	Ausgang Q
L		H	H
L		L	L
L	L	x	$Q_0$
H	x	x	hochohmig

x: Pegel kann H oder L sein  
: ansteigende Flanke  
 $Q_0$ : keine Änderung

Bild 10: Adressenzwischenspeicherung

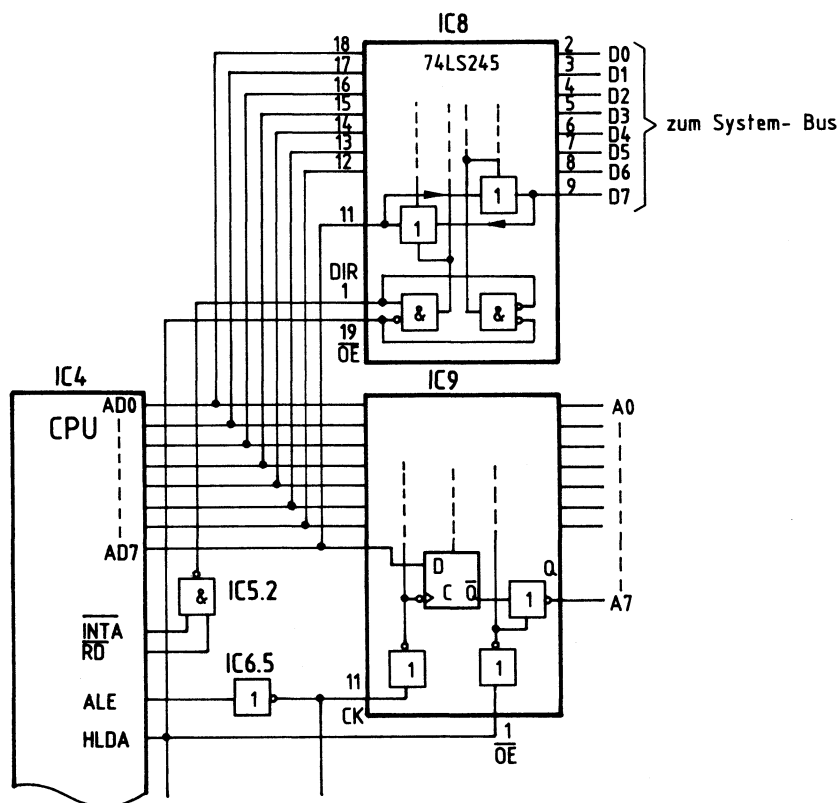
Prozessor 8085

3.2. Erkennung von Datensignalen und Steuerung der Datenrichtung

Nachdem mit Hilfe des Steuersignals ALE eine Adresse an IC9 und IC10 übergeben worden ist, benutzt die CPU die unteren 8 Adreßleitungen auch für den Datentransport (siehe Abschnitt 2.1. Taktsteuerung).

Im Gegensatz zu den Adressen, die von der CPU nur ausgegeben werden, kann die CPU Daten sowohl ausgeben als auch empfangen. Der Treiber (IC8, Bild 11) für die Datensignale muß daher in seiner Übertragungsrichtung umschaltbar sein. Solche IC's nennt man bidirektional, d.h. in zwei Richtungen benutzbar.

Bild 11 zeigt die Schaltung zur Pufferung der Datenleitungen und zur Steuerung der Daten-Übertragungsrichtung.



Funktionstabelle 74LS245

Freigabe OE	Datenrichtungs- steuerung DIR	Wirkung
19	1	
L	L	Daten von der CPU zum System- BUS
L	H	Daten vom System-BUS zur CPU
H	x	hochohmig (Ausgänge abgeschaltet)

x bedeutet, DIR kann H- oder L- Pegel haben

Bild 11. Pufferung der Datenleitungen und Steuerung der Datenübertragungsrichtung

---

Prozessor 8085

---

Zunächst wird davon ausgegangen, daß der CPU-Ausgang HLDA L-Pegel hat (die Aufgabe dieses Signals wird später beschrieben). Damit ist der "Bus-Sendeempfänger" (IC8) über den  $\overline{OE}$ -Eingang für Datenverkehr freigegeben.

Die Datenübertragungsrichtung wird durch den Pegel am DIR-Eingang bestimmt:

- Wenn die CPU Daten lesen will, schaltet sie Steuerausgang  $\overline{RD}$  (READ = Lesen) oder  $\overline{INTA}$  (Interrupt Acknowledge = Unterbrechung angenommen) auf L-Pegel. Über das UND-Gatter IC5.2 erhält der DIR-Eingang H-Pegel und Daten werden vom System-Bus zur CPU übertragen.
- Wenn die CPU Daten aussenden will, schaltet sie die Steuerausgänge  $\overline{RD}$  und  $\overline{INTA}$  auf H-Pegel. Der DIR-Ausgang erhält L-Pegel und Daten werden von der CPU zum System-Bus übertragen.

### 3.3. Trennen der CPU vom System-Bus über den CPU-Eingang HOLD

Die Trennung der CPU vom System-Bus erfolgt über den HOLD-Eingang an der CPU (HOLD = Anhalten). Ein H-Pegel an diesem Eingang stoppt die Programmabarbeitung der CPU nach Beendigung des laufenden Maschinenzklus. Gleichzeitig schaltet die CPU intern den Adreß-Bus, den Daten-Bus und die Steuerausgänge  $\overline{RD}$ ,  $\overline{WR}$  und  $IO/\overline{M}$  in den hochohmigen Zustand und zeigt durch H-Pegel am Ausgang HLDA (HOLD Acknowledge = Halt bestätigen) an, daß sie sich im Halt-Zustand befindet. Mit diesem H-Pegel werden die Adreßbus-Puffer (IC9, IC10) und der Datenbus-Sendeempfänger (IC8) in den hochohmigen Zustand geschaltet (siehe Bilder 10 u. 11).

In diesem Zustand können dann von außen, z.B. über den Bus-Signalgeber, Adressen und Steuersignale auf den System-Bus gegeben werden und Daten auf dem Daten-Bus zwischen Ausgabe- und Eingabeeinheiten ausgetauscht werden.

#### 3.3.1. Das Zusammenwirken der Baugruppen "Prozessor 8085" und "Bus-Signalgeber" (siehe Bild 12)

Mit dem ON/OFF-Schalter in der Baugruppe Bus-Signalgeber läßt sich entweder der "Bus-Signalgeber" oder der "Prozessor 8085" vom System-Bus trennen.

Hierdurch erreicht man, daß nur immer eine Baugruppe Signale auf den System-Bus gibt und daß Kurzschlüsse vermieden werden, die bei unterschiedlichen Signalpegeln auf gleichen Leitungen entstehen würden.

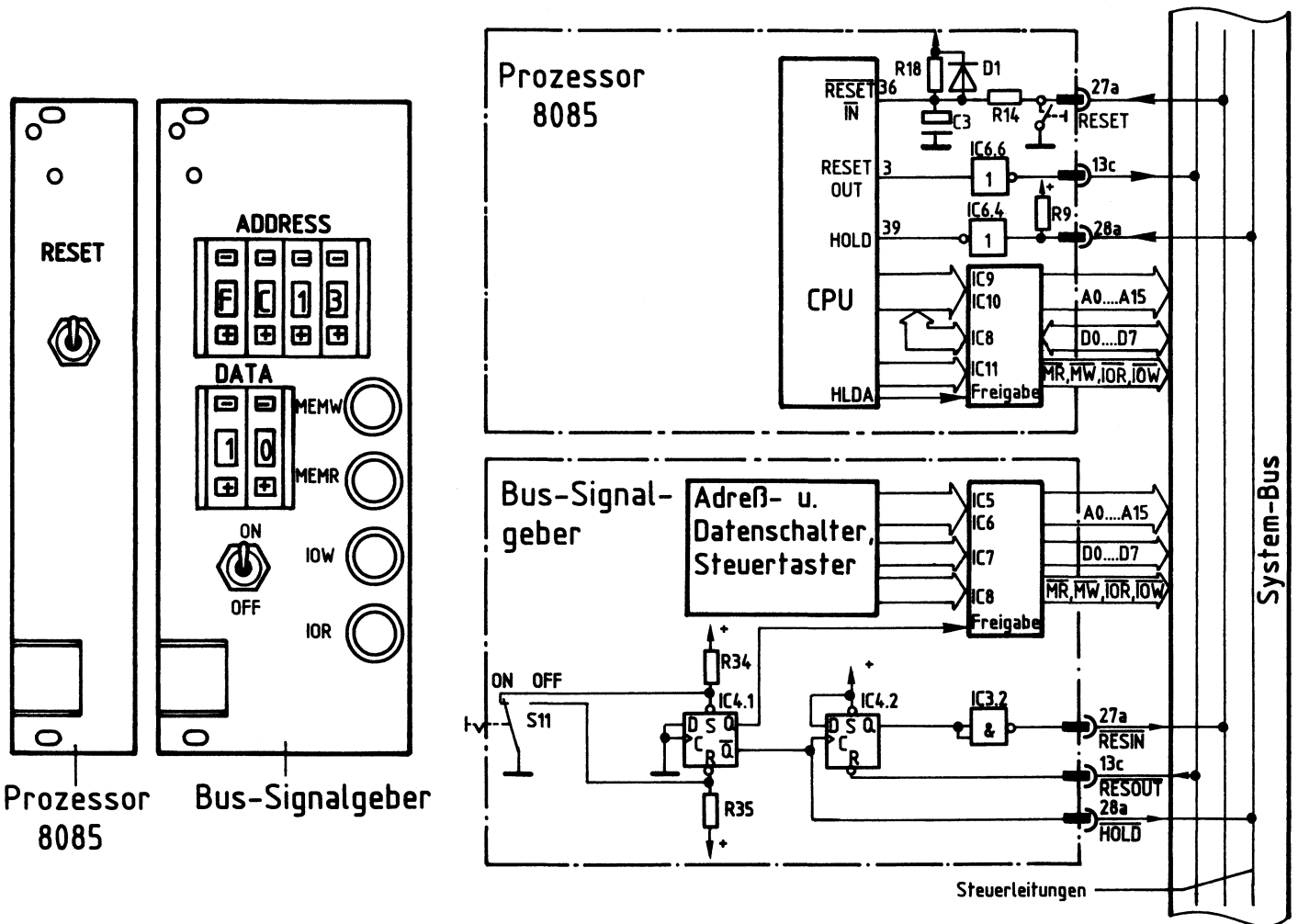


Bild 12: Frontplattenansichten und Blockschaubilder der Baugruppen "Prozessor 8085 und Bus-Signalgeber".

Prozessor 8085

---

- ON/OFF-Schalter in Stellung ON (siehe Bild 12):

Das Flipflop IC4.1 ist gesetzt ( $Q = H$ ,  $\bar{Q} = L$ ), es entprellt den Schalter S11. Der L-Pegel seines  $\bar{Q}$ -Ausgangs bewirkt über die  $\overline{HOLD}$ -Leitung und den Inverter IC6.4, daß der CPU-Eingang HOLD H-Pegel erhält. Dadurch werden CPU und Prozessorbaugruppe (HLDA) wie oben beschrieben vom System-Bus getrennt.

Die mit dem Bus-Signalgeber eingestellten Adreß- und Daten-Signale stehen auf dem System-Bus zur Verfügung und können dort nachgemessen werden (z.B. mit TTL-Tester). Bei Betätigung einer der vier Steuertaster MEMR, MEMW, IOR und IOW nimmt die zugehörige Busleitung L-Pegel (aktiv) an.

- ON/OFF-Schalter in Stellung OFF:

Das Flipflop IC4.1 ist zurückgesetzt ( $Q = L$ ,  $\bar{Q} = H$ ). Dadurch werden drei verschiedene Funktionen ausgelöst:

- Der L-Pegel seines Q-Ausgangs sperrt im Bus-Signalgeber die Treiber für die Adreß-Daten- und Steuersignale (IC5 - IC8).
- Der H-Pegel seines  $\bar{Q}$ -Ausgangs bewirkt am CPU-Eingang HOLD einen L-Pegel. Damit wird der Halt-Zustand der CPU aufgehoben.
- Der L-H-Sprung seines  $\bar{Q}$ -Ausgangs beim Schalten von ON auf OFF setzt das D-Flipflop IC4.2, der Q-Ausgang erhält H-Pegel. Über den Inverter IC3.2 und die  $\overline{RESIN}$ -Leitung wird der CPU-Eingang  $\overline{RESET IN}$  auf L-Pegel gelegt. Hierdurch wird der Befehlszähler der CPU auf 0000 H gesetzt. Mit dem dadurch von der CPU ausgegebenen RESET OUT-Signal (H) wird über Inverter IC6.6 und die  $\overline{RESOUT}$ -Leitung das D-Flipflop IC4.2 zurückgesetzt. Gleichzeitig wird die Programmabarbeitung von der CPU bei Adresse 0000 H begonnen.

4. Die Steuersignale  $\overline{\text{MEMR}}$ ,  $\overline{\text{MEMW}}$ ,  $\overline{\text{IOR}}$  und  $\overline{\text{IOW}}$  und ihre Erzeugung aus den CPU-Steuersignalen  $\overline{\text{RD}}$ ,  $\overline{\text{WR}}$  und  $\text{IO}/\overline{\text{M}}$

Nachdem die CPU die Adressen für einen Speicherplatz oder eine Ein- oder Ausgabebaugruppe ausgegeben hat, gibt sie mit den Pegeln auf drei Steuerleitungen an, ob sie Daten in die adressierte Baugruppe schreiben oder welche aus ihr lesen will. Die drei Steuerleitungen haben die Bezeichnung  $\overline{\text{RD}}$  (Lesen),  $\overline{\text{WR}}$  (Schreiben) und  $\text{IO}/\overline{\text{M}}$  (Ein-Ausgabe/Speicher). Die folgende Tabelle (Bild 13) zeigt eine Zusammenstellung der Wirkungen der Steuersignale und ihrer dazugehörigen Signalpegel.

Wirkung	$\text{IO}/\overline{\text{M}}$	$\overline{\text{WR}}$	$\overline{\text{RD}}$
Speicher lesen ( $\overline{\text{MEMR}}$ )	L	H	L
Speicher schreiben ( $\overline{\text{MEMW}}$ )	L	L	H
Ein/Ausgabe lesen ( $\overline{\text{IOR}}$ )	H	H	L
Ein/Ausgabe schreiben ( $\overline{\text{IOW}}$ )	H	L	H

Bild 13: Wirkung der Steuersignale  $\text{IO}/\overline{\text{M}}$ ,  $\overline{\text{WR}}$  und  $\overline{\text{RD}}$

Die in der Spalte "Wirkung" in Klammern angegebenen Steuersignale werden im BFZ/MFA-Baugruppensystem benötigt. Sie müssen durch eine geeignete Decodierung aus den drei CPU-Steuersignalen gewonnen werden. Die dazu benutzte Schaltung ist in Bild 14 dargestellt.

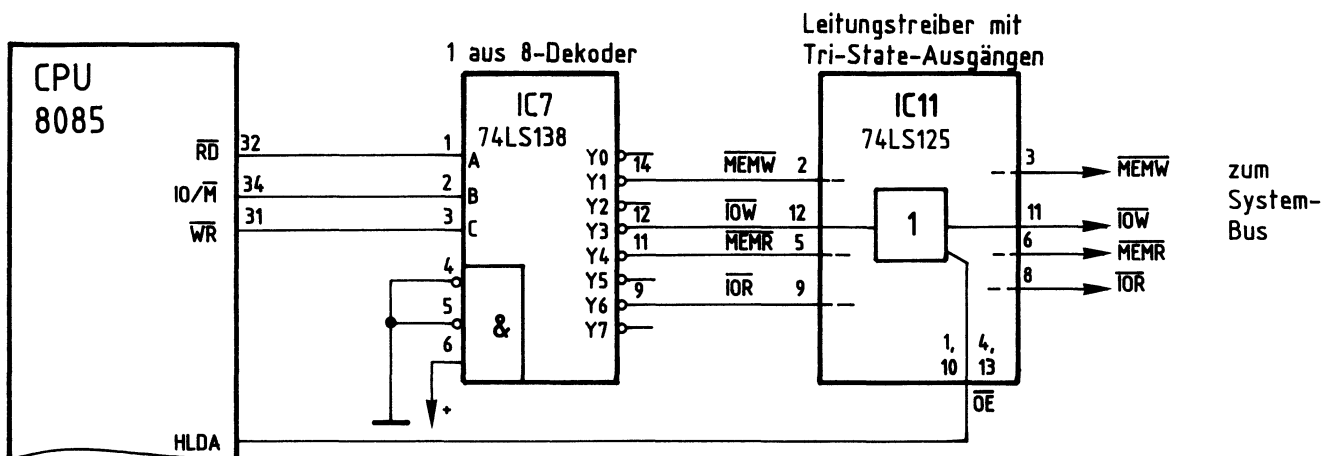


Bild 14: Decodierung der CPU-Steuersignale  $\overline{\text{RD}}$ ,  $\overline{\text{WR}}$  und  $\text{IO}/\overline{\text{M}}$ .

Prozessor 8085

Die Funktionstabelle des 1 aus 8-Decodierers (Bild 15) zeigt alle Signalkombinationen an den Sockelstiften 31, 34 und 32, die von der CPU ausgesendet werden. Diese Signalkombinationen führen an den Ausgängen Y1, Y3, Y4 und Y6 zu den gewünschten L-Pegeln für die vier Steuersignale.

Eingänge			Ausgänge							
$\overline{WR}$	$IO/\overline{M}$	$\overline{RD}$		$\overline{MEMW}$		$\overline{IOW}$	$\overline{MEMR}$		$\overline{IOR}$	
C	B	A	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
L	L	L	L	H	H	H	H	H	H	H
L	L	H	H	L	H	H	H	H	H	H
L	H	L	H	H	L	H	H	H	H	H
L	H	H	H	H	H	L	H	H	H	H
H	L	L	H	H	H	H	L	H	H	H
H	L	H	H	H	H	H	H	L	H	H
H	H	L	H	H	H	H	H	H	L	H
H	H	H	H	H	H	H	H	H	H	L

Bild 15: Funktionstabelle 1 aus 8 Dekoder 74LS138

Der dem 1 aus 8-Decodierer nachgeschaltete Leistungstreiber (IC11) mit Tri-State-Ausgängen kann über die HLDA-Leitung mit H-Pegel in den hochohmigen Zustand geschaltet werden.



## 5. Einzelschrittsteuerung der CPU

Bei der Inbetriebnahme der CPU, des gesamten Mikrocomputers und während der Testphase neu erstellter Programme erweist es sich als nützlich, die CPU im Einzelschritt betreiben zu können. Man unterscheidet beim Einzelschrittbetrieb zwei Möglichkeiten:

- ein Schritt besteht aus einem Befehl
- ein Schritt entspricht einem Maschinenzklus, er besteht also möglicherweise nur aus einem Teil eines Befehles.

Im MC-Baugruppensystem wird von der zweiten Möglichkeit Gebrauch gemacht. Hierzu wird der

CPU-Steuereingang READY

und der

CPU-Steuer Ausgang ALE

benutzt.

### 5.1. Die Funktion des READY-Eingangs

Im zweiten Takt T2 eines Maschinenzklus fragt die CPU den Zustand des READY-Eingangs (READY = Bereit) ab. Ein L-Pegel an diesem Eingang bewirkt, daß die CPU "Wartezyklen" einfügt, bis das Signal auf H-Pegel übergeht. Erst dann wird der begonnene Lese- oder Schreibzyklus beendet. Die vor Beginn der Wartezyklen ausgegebenen Adreß-Daten- und Steuersignale stehen auf den entsprechenden Busleitungen bereit und können nachgemessen oder z.B. mit dem Bus-Signalanzeiger angezeigt werden.

## 5.2. Grundsaltung zur Einzelschrittsteuerung

Bild 16 zeigt eine einfache Schaltung, mit der es möglich ist, die CPU zu stoppen und sie - jeweils durch Betätigen einer Step (Schritt)-Taste - einen Maschinenzklus weiterarbeiten zu lassen.

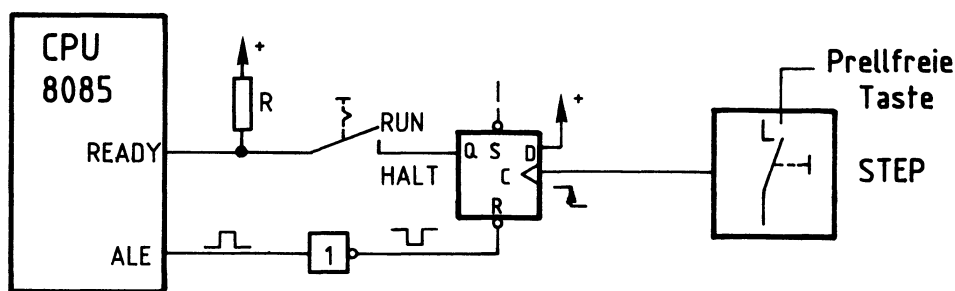


Bild 16: Grundsaltung für Einzelschrittbetrieb.

Steht zunächst der RUN/HALT-Schalter auf RUN, so liegt der READY-Eingang über den Widerstand R auf H-Pegel. Die CPU arbeitet und setzt das D-Flipflop mit dem nächsten ALE-Impuls zurück ( $Q = L$ ), falls es vorher gesetzt worden war mit der STEP-Taste oder durch Zufall beim Einschalten der Betriebsspannung. Stellt man nun den RUN/HALT-Schalter auf HALT, so erhält die CPU ein L-Signal am READY-Eingang und stoppt. Bei Betätigung der STEP-Taste wird das D-Flipflop wieder gesetzt ( $Q = H$ ); der READY-Eingang erhält H-Signal und die CPU arbeitet weiter, bis der folgende ALE-Impuls das Flipflop zurücksetzt und sie wieder anhält.

Da ein ALE-Impuls jeweils einen Maschinenzklus einleitet, entspricht jeder Arbeitsschritt der CPU einem Maschinenzklus.

## 5.2.1. Gemeinsames Auftreten von HOLD- und READY-Signalen

Aus dem internen Zustandsdiagramm der CPU 8085 (Herstellerangabe, Datenbuch) geht hervor, daß ein aktives HOLD-Signal (H) nicht mehr von der CPU angenommen wird, wenn sie vorher durch ein READY-Signal (L) gestoppt wurde. Wenn die CPU also gerade Wartezyklen im Einzelschritt-Betrieb erzeugt und gleichzeitig der Bus-Signalgeber eingeschaltet wird, so wird das vom Bus-Signalgeber gesendete HOLD-Signal von der CPU nicht verarbeitet.

Da jetzt aber die CPU und der Bus-Signalgeber gleichzeitig Signale auf den Systembus senden, wird es bei unterschiedlichen Signalpegeln auf gleichen Leitungen zu Kurzschlüssen kommen.

Um das zu verhindern, muß das Auftreten des aktiven HOLD-Signals dazu genutzt werden, den Einzelschrittbetrieb abzuschalten, also READY auf H-Pegel zu setzen. Bild 17 zeigt die Grundschaltung, die diese Funktion übernehmen kann.

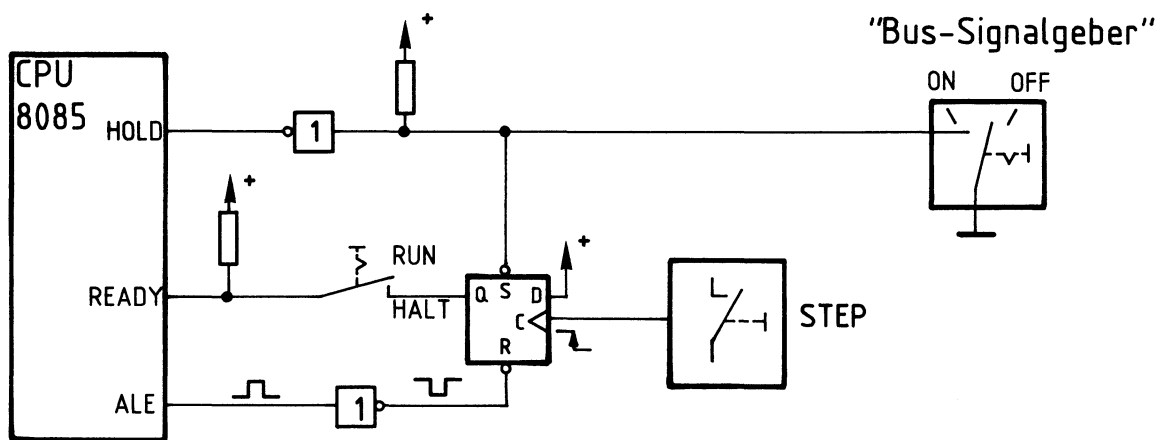


Bild 17: Grundschaltung zur Verhinderung des gemeinsamen Auftretens von HOLD- und READY-Signalen.

Wenn der "Bus-Signalgeber" eingeschaltet wird (ON), gelangt L-Pegel an den Setzeingang des D-Flipflops und setzt den Q-Ausgang auf H-Pegel. Damit verläßt die CPU den Wartezustand, wird aber gleichzeitig durch das Signal am HOLD-Eingang (H) vom Systembus getrennt.

## Prozessor 8085

## 5.2.2. Einzelschrittbetrieb ab einer eingestellten Adresse

Bei Inbetriebnahme- und Fehlersucharbeiten kann es nützlich sein, die CPU ihr Programm zunächst bis zu einer bestimmten Adresse abarbeiten zu lassen und sie von dort ab im Einzelschrittbetrieb zu steuern.

Bild 18 zeigt die Grundschaltung, die diese Betriebsart ermöglicht.

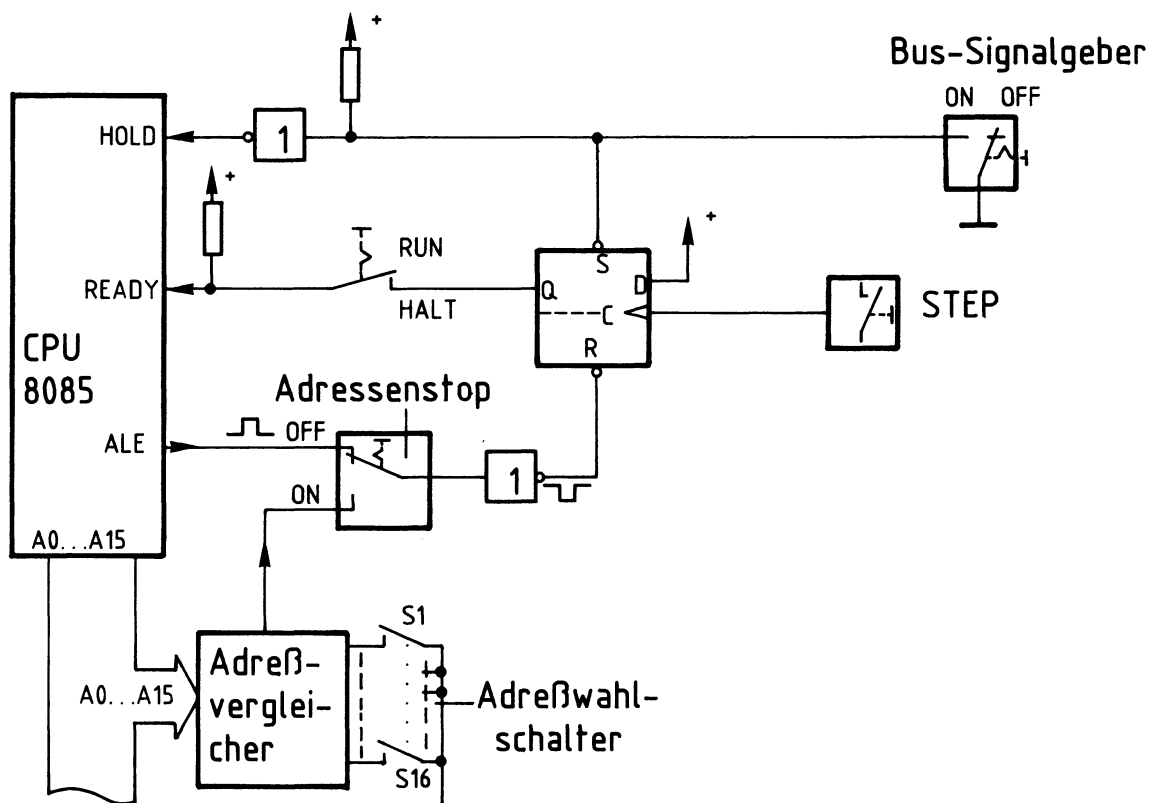


Bild 18: Grundschaltung für Einzelschrittbetrieb ab einer vorgewählten Adresse.

Wenn der "Adressenstop" eingeschaltet ist (ON), wird die CPU nicht durch das ALE-Signal, sondern durch das Signal vom Adreßvergleich über den READY-Eingang angehalten. Die "Stop-Adresse" wird mit den Schaltern S1 bis S16 eingestellt. Der Adreßvergleich liefert nur dann ein H-Signal, wenn die Adresse auf dem Adreßbus mit der eingestellten übereinstimmt.

Zur Steuerung des Einzelschrittbetriebs muß dann der "Adreßstop" ausgeschaltet (OFF) werden. Jeder Einzelschritt kann mit der STEP-Taste gestartet werden.

Prozessor 8085

5.3. Das Zusammenwirken der Baugruppen "Prozessor 8085" und "Bus-Signalanzeige"

Alle zur Einzelschrittsteuerung gehörenden Funktionsgruppen befinden sich auf der Baugruppe "Bus-Signalanzeige". Bild 19 zeigt den entsprechenden Teil der Schaltung mit den erforderlichen Verbindungen zur CPU.

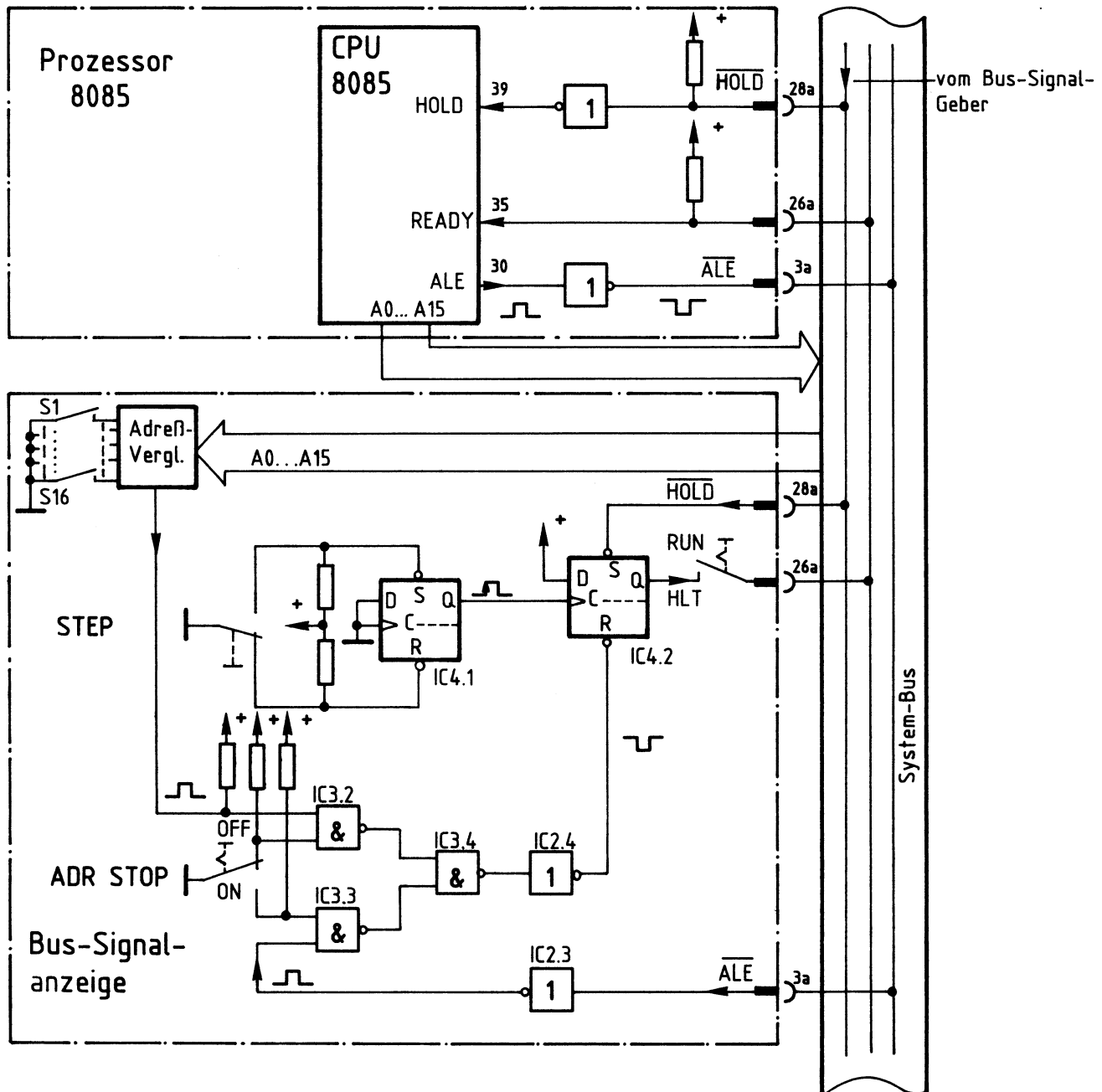


Bild 19: Zusammenwirken Prozessor 8085 und Einzelschrittsteuerung.

IC4.1 entprellt den mechanischen STEP-Taster.

Der in Bild 18 als Block dargestellte "Adressenstop" besteht aus dem mech. Umschalter und den IC's 3.2 - 3.4.

---

Prozessor 8085

---

## 5.3.1. Einzelschrittbetrieb ohne Adressenstop (siehe Bild 19)

Voraussetzung: ADR.STOP-Schalter auf OFF  
RUN/HLT -Schalter auf HLT

- Die CPU legt Wartezyklen ein (siehe 5.2.); Adreß-Daten- und Steuersignale werden angezeigt auf der Bus-Signalanzeige.
- Bei Betätigen der STEP-Taste wird der Ausgang von IC4.2 und damit READY auf H-Pegel gesetzt.
- Die CPU arbeitet einen Maschinenzklus lang und wird durch den ALE-Impuls zu Beginn des folgenden Maschinenzklusses wieder gestoppt.
- Weitere Schritte werden jeweils durch Betätigen von STEP eingeleitet.

Anmerkung: Soll die CPU den Einzelschrittbetrieb bei Adresse 0000 H aufnehmen, muß vor Betätigen der STEP-Taste die "CPU-RESET-Taste" betätigt werden.

## 5.3.2. Einzelschrittbetrieb mit Adressenstop

Voraussetzung: 1. RUN/HLT-Schalter auf HLT.  
2. ADR.STOP-Schalter auf ON.

Vorher muß die gewünschte Stoppadresse mit DIL-Schaltern auf der Bus-Signalanzeige eingestellt werden. Die Startadresse 0000 wird durch Betätigen von RESET eingegeben.

- Die CPU legt Wartezyklen ein; Adreß-Daten- und Steuersignale werden angezeigt.
- Betätigen der STEP-Taste startet die CPU. Wenn sie die gewünschte Adresse erreicht hat, wird der Ausgang vom IC4.2 und damit auch READY auf L-Pegel gesetzt.
- Die CPU legt Wartezyklen ein.
- Jetzt ADR.STOP-Schalter auf OFF!  
Einzelschrittbetrieb wie oben.

## 6. Interrupteingänge, Interruptsignale (Interrupt = Unterbrechung)

Über die Unterbrechungseingänge ist es möglich, die CPU während der Programmabarbeitung zu unterbrechen und sie zu veranlassen, zunächst ein anderes Programm zu bearbeiten. Nach der Ausführung des Unterbrechungsprogramms bearbeitet die CPU dann das alte Programm weiter.

Die Unterbrechungseingänge heißen Interrupt-Eingänge, die Unterbrechungssignale entsprechend Interrupt-Signale oder kurz Interrupts.

Beispiele für die Anwendung von Interrupts:

- periphere Geräte (z.B. Drucker, Tastatur, Lochstreifenleser etc.) melden über einen Interrupteingang, daß sie mit dem Mikrocomputer in Kontakt treten wollen;
- bei falscher Programmausführung will der Bediener den Programmablauf unterbrechen;
- Behebung von Fehlern bei Prozeß- oder Maschinensteuerungen.

Ein Interruptsignal bewirkt im Mikroprozessor die folgenden Aktivitäten:

1. Der gerade laufende Befehl wird zu Ende geführt.
2. Die Adresse des folgenden Befehls wird gespeichert, da das Programm später weiterbearbeitet werden muß.
3. Erzeugung einer zum jeweiligen Unterbrechungseingang zugeordneten Adresse, Sprung dorthin und Abarbeitung des dort niedergelegten Interrupt-Bedienungsprogrammes.
4. Rücksprung ins Ausgangsprogramm zur gespeicherten Adresse.

Die folgende Tabelle (Bild 20) gibt eine Übersicht über die Interrupteingänge der CPU 8085, die zur Auslösung eines Interrupts erforderlichen Signale, die erzeugten Sprungadressen und die Priorität (Vorrangigkeit) der Interrupts.

Prozessor 8085

Bezeichnung des Eingangs	Priorität	Sprung zur Adresse (H)	Art der Auslösung des Interrupts durch ...
TRAP	1	0024	L-H-Flanke <u>und</u> H-Pegel bis zur Annahme
RST7.5	2	003C	L-H-Flanke; Anforderung wird bis zur Annahme gespeichert
RST6.5	3	0034	H-Pegel bis zur Annahme
RST5.5	4	002C	"
INTR	5	*	"

Bild 20: Interrupt-Eingänge-, Prioritäten-, Sprungadressen und Art der Interruptauslösung.

\* Es sind acht Interrupts mit unterschiedlichen Sprungadressen möglich. Dem Mikroprozessor muß nach der Annahme des Interrupts (Quittung über CPU-Ausgang INTA) über den Datenbus mitgeteilt werden, welche der Adressen gemeint ist. Abhängig vom Datenbyte sind die folgenden Sprungadressen möglich:

Datenbyte	C7	CF	D7	DF	E7	EF	F7	FF
Sprungadr.	0000	0008	0010	0018	0020	0028	0030	0038

Weitere Informationen über die Unterbrechungsbehandlung finden Sie im Datenbuch "Mikroprozessor-System SAB 8085" der Firma Siemens.

Hinweis: Ein aktiver Interrupteingang kann oft einen unerwünschten Arbeitsablauf der CPU zur Folge haben. Deshalb ist es wichtig, die Signalpegel der Interrupteingänge bei Inbetriebnahmearbeiten auf ihre richtigen Werte hin zu überprüfen. Bild 21 gibt Ihnen die richtigen Pegelwerte an.

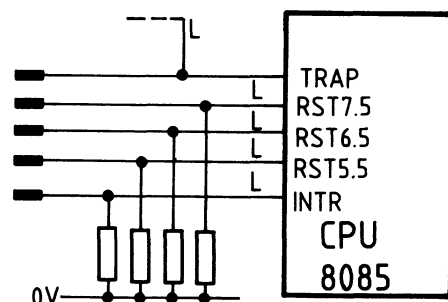


Bild 21: Pegelwerte der nichtaktiven Interrupteingänge.



## 7. Serieller Dateneingang (SID) und Datenausgang (SOD)

Ohne großen Schaltungsaufwand ist es bei der CPU 8085 möglich, mit Hilfe zweier dafür im Befehlssatz vorhandener Befehle parallel vorliegende Daten seriell zu senden bzw. zu empfangen. Beim Senden muß das zu sendende Datenbyte im Akkumulator stehen. Es wird dann Bit für Bit über den Ausgang SOD (Seriell Output Data = serieller Datenausgang) ausgegeben. Beim Empfang über den Eingang SID (Seriell Input Data = serieller Dateneingang) gelangt das bitweise empfangene Datenbyte ebenfalls in den Akkumulator.

Peripherie-Geräte, wie z.B. ein Datensichtgerät oder eine Teletype (Teletypewriter = Fernschreiber, kurz TTY), stehen mit dem Mikrocomputer über den seriellen Datenaustausch in Verbindung.

Damit der Mikrocomputer mit solchen Ein-/Ausgabegeräten Verbindung aufnehmen kann, sind auf den Übertragungsleitungen bestimmte genormte Pegel erforderlich. Man unterscheidet zwischen Strom- und Spannungspegel und entsprechenden Schnittstellen.\*

Eine 20-mA-Stromschnittstelle wird bei einer Teletype benötigt und entspricht folgender Vereinbarung:

- logisch 1 = unterbrochener Stromkreis (kein Strom)
- logisch 0 = Strom von 20 mA

Die meisten peripheren Geräte werden über eine V-24-Spannungsschnittstelle betrieben (z.B. Datensichtgerät); dabei gilt dann die folgende Vereinbarung:

- logisch 1 = Spannung zwischen -3 V und -25 V
- logisch 0 = Spannung zwischen +3 V und +25 V

Da die CPU Ausgangssignale mit Spannungen von 5 V oder 0 V liefert, ist zwischen ihr und Geräten mit 20-mA- und V-24-Schnittstellen eine Pegelanpassung erforderlich. Mit Hilfe von Drahtbrücken kann auf der Baugruppe "Prozessor 8085" sowohl eine Spannungs- als auch eine Stromschnittstelle hergerichtet werden.

\* Schnittstelle: Verbindung, Anpassung zwischen Mikrocomputer und externen Geräten, auch Interface genannt.

## Prozessor 8085

## 7.1. 20-mA-Stromschnittstelle

Bild 22 zeigt die 20-mA-Stromschnittstelle der Baugruppe "Prozessor 8085" und den Anschluß eines Fernschreibers (Teletype, TTY) daran.

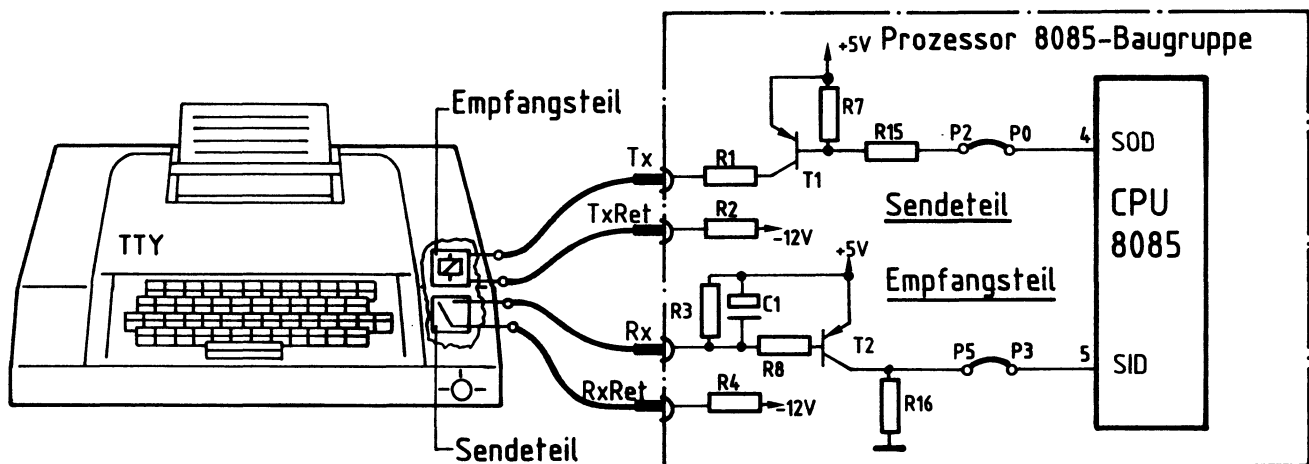


Bild 22: 20-mA - Stromschnittstelle und Fernschreiberanschluß.

Der untere Schaltungsteil in Bild 22 mit den Eingängen Rx, RxRet ist der Empfangsteil der 20-mA-Stromschnittstelle, der obere mit den Eingängen Tx, TxRet der Sendeteil.

Bei Betätigung einer Taste des Fernschreibers wird in seinem Sendeteil entsprechend dem Code des Zeichens auf der Taste ein Kontakt geschaltet.

Ein geschlossener Kontakt bewirkt, daß Transistor T2 leitet und der SID-Eingang H-Pegel erhält. Bei offenem Kontakt liegt SID auf L-Pegel.

Soll das von der CPU aufgenommene Zeichen auch ausgedruckt werden, so muß ein eigens dafür bereitzustellendes Programm dafür sorgen, daß das Zeichen am CPU-Ausgang SOD seriell ausgegeben wird.

Ein H-Pegel an SOD sperrt Transistor T1 und unterbricht den Strom (20 mA) zum Empfangsteil des Fernschreibers. Das dort eingebaute Empfangsrelais wird nicht erregt. Bei einem L-Pegel an SOD leitet T1 und erregt das Empfangsrelais. Nachdem das gesamte Zeichen übertragen ist, wird es auf dem Druckwerk des Fernschreibers ausgedruckt.

Alle Bauteile für die 20-mA-Stromschnittstelle befinden sich bereits auf der Platine, es muß lediglich eine Steckverbindung in die Frontplatte eingebaut und verdrahtet werden.

Bild 23 zeigt die Lage der notwendigen Anschlüsse auf der Platine.

Prozessor 8085

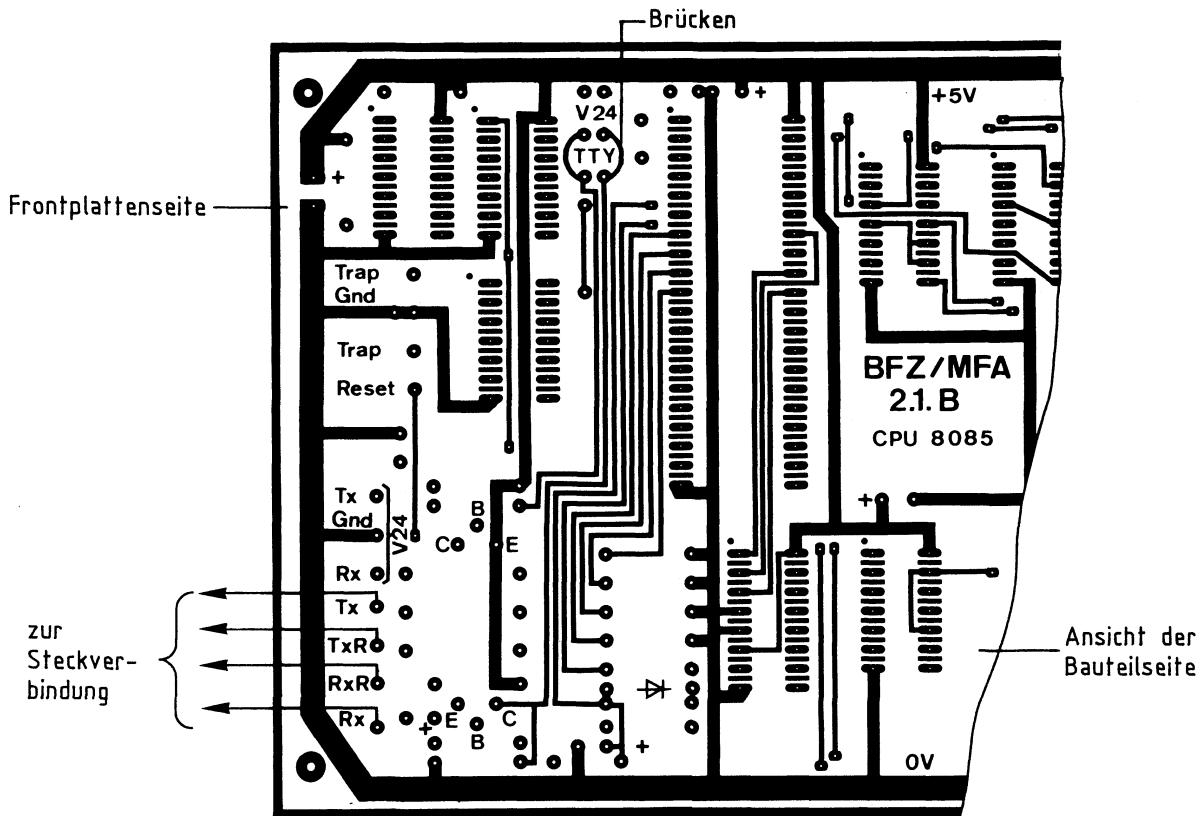


Bild 23: Anschluß 20-mA- Stromschnittstelle

7.2. V-24-Spannungsschnittstelle

Bild 24 zeigt die V-24-Spannungsschnittstelle der Baugruppe "Prozessor 8085" mit einer angeschlossenen Datensichtstation.

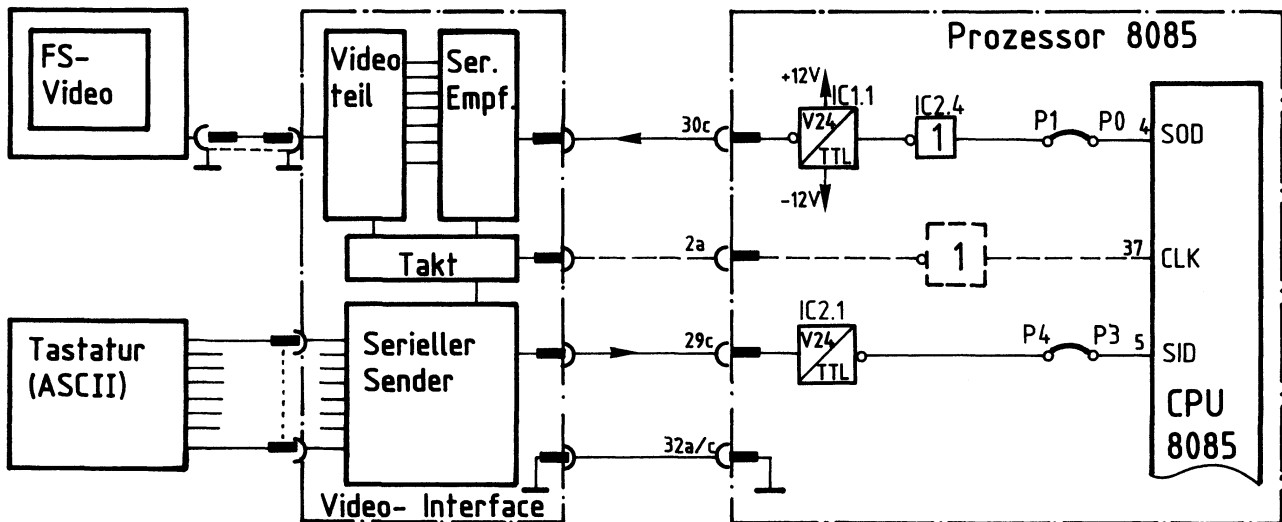


Bild 24: V-24- Spannungsschnittstelle, Anschluß einer Datensichtstation.

## Prozessor 8085

Die Anpassung der TTL-Pegel auf V-24-Pegel und umgekehrt übernehmen die integrierten Bausteine IC1.1 und IC2.1. Der Schaltkreis IC1.1 benötigt dazu eine Spannungsversorgung von  $\pm 12$  V, sie wird vom System-Netzteil geliefert.

Der Datenverkehr läuft wie folgt ab:

Ein mit der ASCII-Tastatur ausgegebenes Zeichen gelangt in paralleler Form in den "Seriellen Sender" innerhalb der Baugruppe "Video-Interface". Er wandelt dieses Zeichen in die serielle Form um und liefert es so an die CPU. Mit Hilfe eines eigens für diesen Zweck vorhandenen Programms (Teil des Betriebsprogramms) gelangt es über den Eingang SID in den Akkumulator, das ist ein spezielles Register innerhalb der CPU. Aus dem Akkumulator wird das Zeichen dann in serieller Form über den CPU-Ausgang SOD an den "Seriellen Empfänger" innerhalb des Video-Interfaces gesendet. Der wandelt das Zeichen in die parallele Form zurück und liefert es an den Videoteil. Dort wird es dann in eine Form gebracht, die eine Darstellung auf dem Bildschirm des Fernsehgerätes gestattet.

Der interne Arbeitsablauf des Video-Interfaces wird mit Hilfe des CPU-Taktes (2 MHz) gesteuert. Bei Verwendung der V-24-Schnittstelle müssen die in Bild 25 dargestellten Drahtbrücken auf der Baugruppe "Prozessor 8085" eingelötet werden.

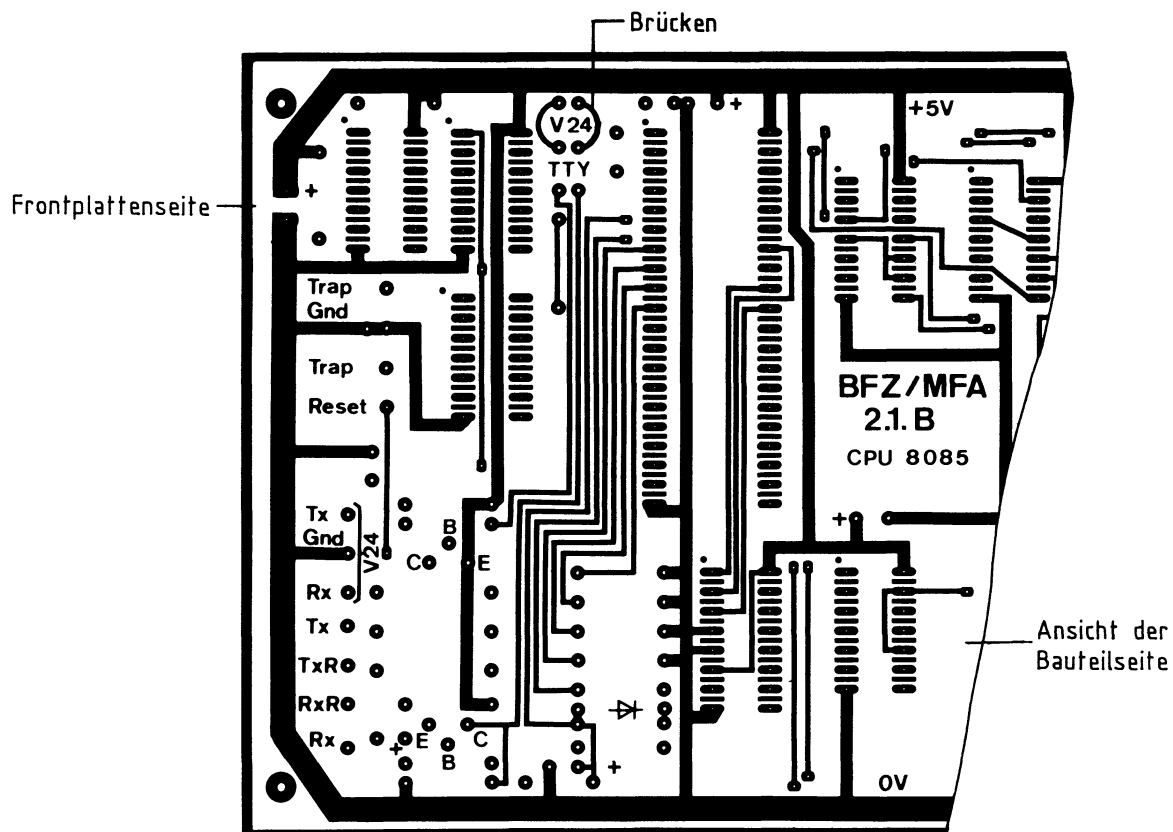


Bild 25: Drahtbrücken für V-24- Schnittstelle

Prozessor 8085

8. Blockschaltbild der Baugruppe "Prozessor 8085"

Anhand des Blockschaltbildes (Bild 27) wird die Funktion der Baugruppe zusammenfassend erklärt.

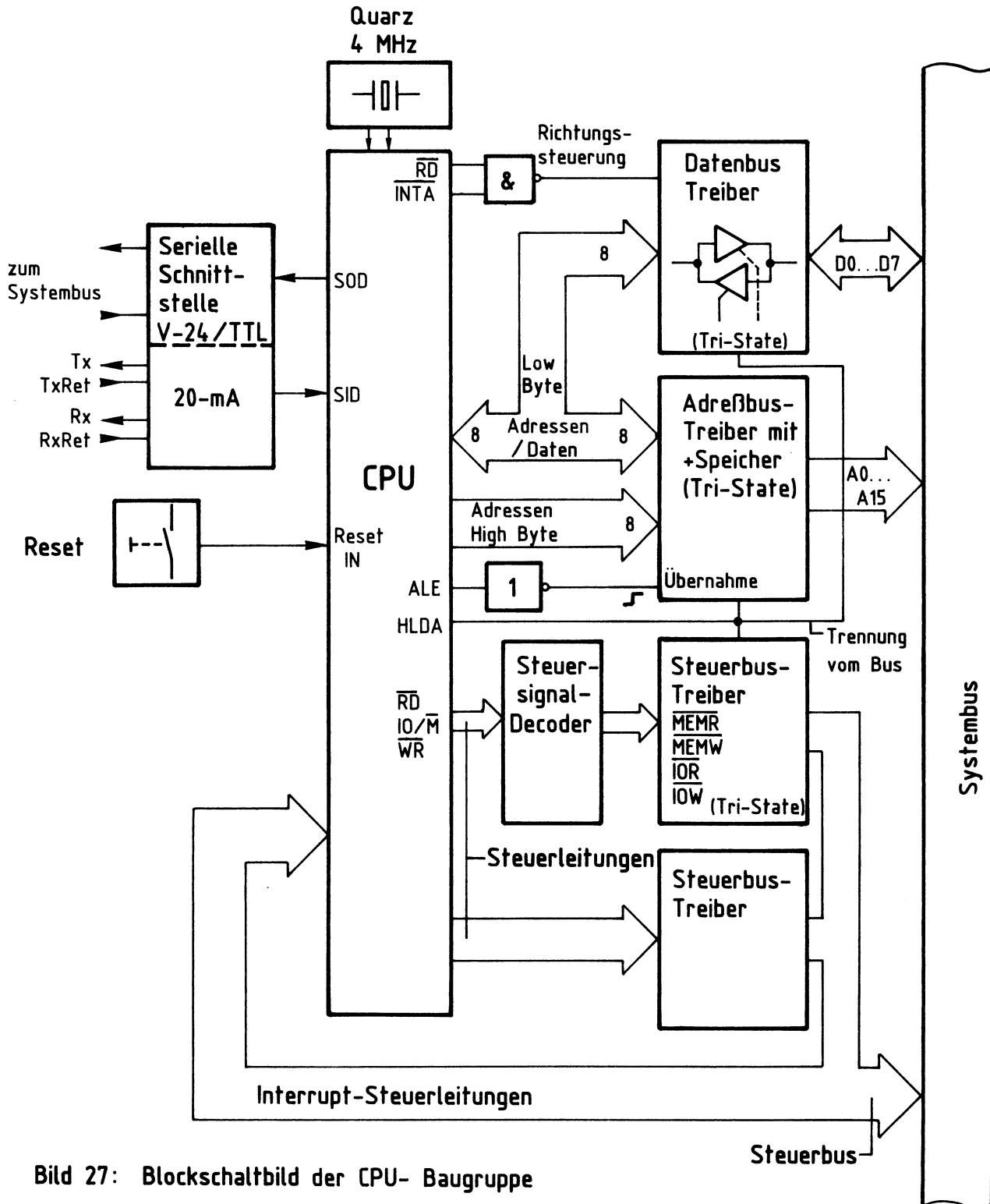


Bild 27: Blockschaltbild der CPU- Baugruppe

---

Prozessor 8085

---

Die CPU hat die Aufgabe, Befehle auszuführen, die im Speicher abgelegt sind, sowie Daten zu verarbeiten, z.B. Addieren von Zahlen, Ausgeben von Ergebnissen, Verknüpfen von Daten.

Die zur Bewältigung dieser Aufgabe nötigen Funktionsgruppen befinden sich in der CPU.

- Zum Einholen von Befehlen (Was ist zu tun?) und Daten (Mit wem?) aus dem Programmspeicher gibt die CPU eine 16-Bit-Signalkombination (Adresse) auf den Adreßbus.
- Mit einem Steuersignal veranlaßt sie dann, daß der Inhalt der adressierten Speicherstelle über den Datenbus in die CPU gelangt. Die anschließende Verarbeitung der Daten erfolgt CPU-intern.
- Die Ausgabe von Daten geschieht genauso:  
Adresse ausgeben - Steuersignal ausgeben - Daten ausgeben.
- Zwischen der CPU und dem Systembus befinden sich die Treiber bzw. Treiber und Zwischenspeicher für die Adreß-, Daten- und Steuersignale. Bei der CPU 8085 ist es nötig, die unteren acht Bit (Low-Byte) einer von der CPU ausgesendeten Adresse zwischenzuspeichern, da dieser Teil des Busses auch für den Datentransport benutzt wird. Die oberen acht Bit (High-Byte) des Adreßbusses (CPU-seitig) werden nur für den Adreßverkehr benutzt. Sie werden zwischengespeichert, um die CPU-Ausgänge zu entlasten.
- Die Übernahme der Adressen in die Speicher bzw. Treiber wird mit dem CPU-Signal ALE gesteuert.
- Da die Daten nach der Ausgabe der Adresse auf dem für beide benutzten Busteil der Baugruppe verkehren, brauchen diese nicht zwischengespeichert zu werden. Der Datenbustreiber muß jedoch Datenverkehr in zwei Richtungen zulassen. Gesteuert wird die Datenflußrichtung durch die Steuersignale  $\overline{RD}$  und  $\overline{INTA}$ .

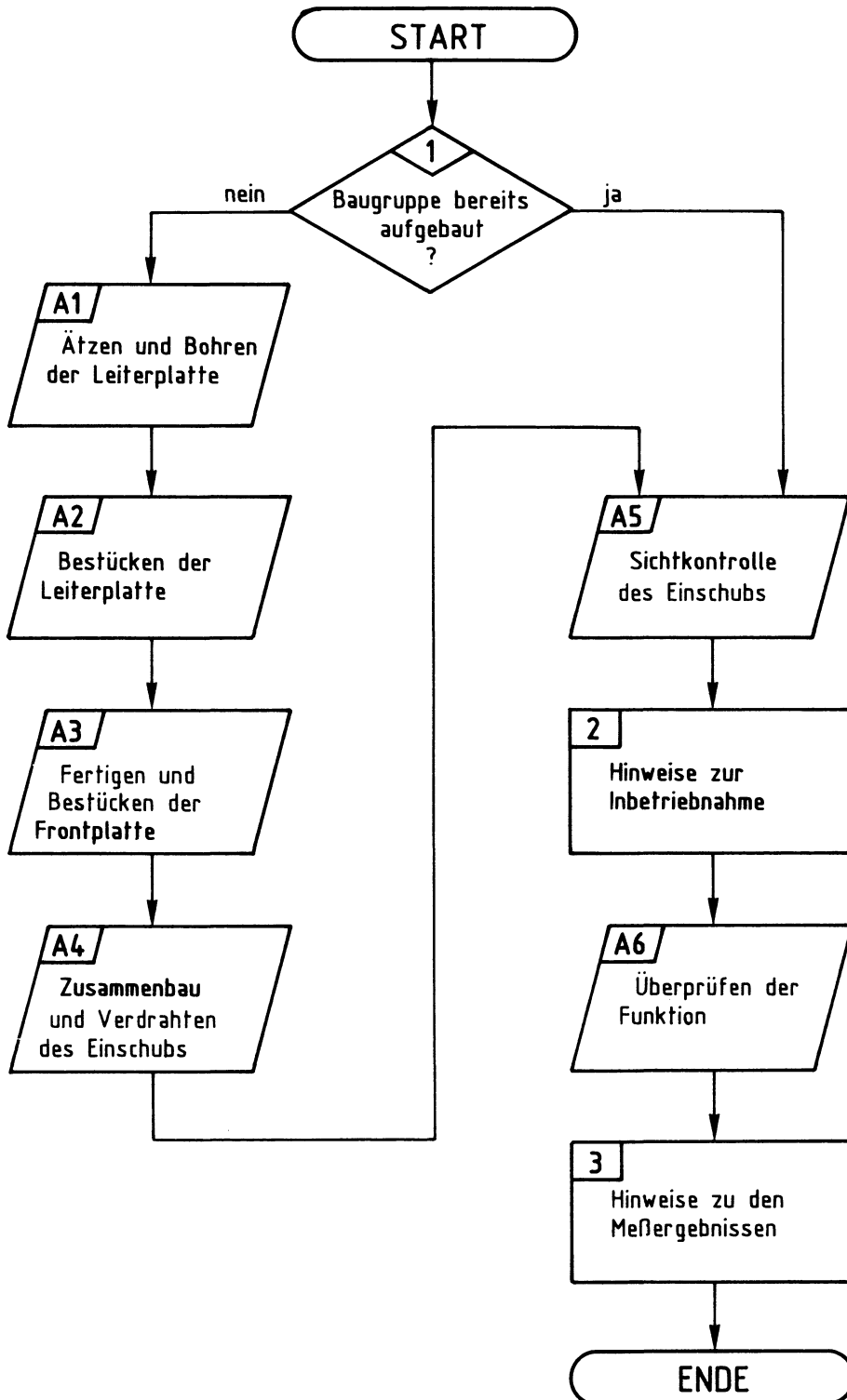
Prozessor 8085

---

- Mit den Steuersignalen  $\overline{RD}$ ,  $IO/\overline{M}$  und  $\overline{WR}$  meldet die CPU, ob sie Lesen oder Schreiben will, und zwar in oder aus Speicherstellen oder Ein/Ausgabe-Geräte. Im Steuersignal-Decoder werden diese Signale decodiert und gewandelt in die System-Steuersignale
  - $\overline{MEMR}$  - Speicherstelle lesen
  - $\overline{MEMW}$  - in Speicherstelle einschreiben
  - $\overline{IOR}$  - Eingabebaugruppe lesen
  - $\overline{IOW}$  - in Ausgabebaugruppe einschreiben
- Über das CPU-Signal HLDA lassen sich die Daten-, Adreß- und Steuerbustreiber in den hochohmigen Zustand schalten.
- Alle übrigen Steuersignale sind nur gepuffert, d.h. sie sind nicht vom Bus trennbar.
- Über die Interrupt-Steuerleitungen kann die CPU veranlaßt werden, ihre momentane Programmbearbeitung zu unterbrechen, um ein vorrangiges Programm zu bearbeiten.
- An die serielle Schnittstelle kann ein Datensichtgerät oder ein Fernschreiber (TTY) angeschlossen werden.
- Mit der Reset-Taste wird die CPU veranlaßt, ihre Programmabarbeitung bei dem Speicherplatz mit der Adresse 0000 H zu beginnen.
- Der 4-MHz-Quarz erzeugt CPU-intern ein Rechtecksignal mit einer Taktperiodendauer von 500 ns (interne Teilung durch zwei). Mit Hilfe dieses Taktes werden alle Arbeitsschritte der CPU gesteuert.

Flußdiagramm für den Arbeitsablauf

Flußdiagramm für den Arbeitsablauf





## Prozessor 8085

Stckz.	Benennung/Daten	Bemerkung
1	Leiterplatte ca. 110x170 mm Mat.: Epoxid Glashartgewebe (HgW 2372)	doppelseitig Cu-kaschiert (35 µm) u. mit Fotolack beschichtet
je 1	Filmvorlage BFZ/MFA 2.1.L u. 2.1.B zum Belichten der Leiterplatte	je nach Ätzverfahren Pos.- oder Neg.-Film
1	Frontplatte, Teilung L-C05 Alu, 2 mm dick, Breite 25,1 mm	z.B. Intermas Nr. 409-017 665
1	Griff komplett mit Abdeckung T03	z.B. Intermas Nr. 409-017 927
1	Frontverbinder 1,6 FEE	z.B. Intermas Nr. 409-024 830
1	Messerleiste 64polig, DIN 41 612	z.B. Erni STV-P-364a/c Nr. 9722.333.401
1	Zylinderschraube M2,5x 8 DIN 84	
2	Zylinderschraube M2,5x10 DIN 84	
3	Zylinderschraube M2,5x12 DIN 84	
2	Zylinderschraube mit Schaft BM2,5x10/5 DIN 84	
5	Federscheibe A2,7 DIN 137	
1	Federring B2,5 DIN 127	
4	Sechskantmutter M2,5 DIN 439	
2	Schraubensicherung, Kunststoff	z.B. Intermas Nr. 409-026 748
1	Taster, einpolig umschaltend, Einbau-Ø 6,2 mm	z.B. Knitter MTA 106 F
1	Plastikkappe dazu, rot	z.B. Knitter C 109
1	Widerstand 47 Ω	} alle Widerstände 0,25 W / ± 5% Tol.
1	Widerstand 220 Ω	
2	Widerstand 1 kΩ	
1	Widerstand 2,2 kΩ	
1	Widerstand 2,7 kΩ	
5	Widerstand 4,7 kΩ	
4	Widerstand 3,9 kΩ	} alle Widerstände 0,5 W / ± 5% Tol.
1	Widerstand 47 kΩ	
1	Widerstand 330 Ω	
1	Widerstand 680 Ω	
1	Ker. Scheibenkondensator 27 pF/63 V	RM ca. 2,5 mm
1	Ker. Scheibenkondensator 330 pF/63 V	RM ca. 2,5 mm

## Prozessor 8085

Stckz.	Benennung/Daten	Bemerkung
1	Tantal-Elko 1 $\mu$ F / 35 V	Tropfenform
5	Tantal-Elko 4,7 $\mu$ F / 35 V	Tropfenform
1	Quarz 4 MHz	HC 18 W
1	Si-Diode 75 V / 100 mA	z.B. 1N4148
2	PNP-Si-Transistor $U_{CE} = 45$ V, $I_C = 800$ mA, B = 250	z.B. BC 327 B
1	IC MC 1488, Vier Leitungstreiber für V-24-Schnittstellen	od. SN75188
1	IC MC 1489, Vier Leitungsempfänger für V-24-Schnittstellen	od. SN75189
2	IC 74LS00, Vier NAND-Gatter	
1	IC 74LS04, Sechs Inverter	
1	IC 74LS138, 3-Bit-Binärdecoder	
1	IC 74LS245, Acht Bus-Transceiver	(Tri-State)
2	IC 74LS374, 8-Bit-D-Register	
1	IC 74LS125A, Vier Bus-Leitungstreiber	(Tri-State)
1	IC CPU 8085	
1	IC-Fassung 40polig, DIL	} siehe Anmerkung
3	IC-Fassung 20polig, DIL	
1	IC-Fassung 16polig, DIL	
6	IC-Fassung 14polig, DIL	
n.B.	Lötendraht	
n.B.	Lötlack	
n.B.	Schaltlitze 0,25 mm <sup>2</sup> sw	
n.B.	Cu-Draht, $\emptyset$ 0,5 mm, versilbert	
n.B.	Reinigungsmittel	zum Entfetten der Frontplatte
n.B.	Beschriftungsmaterial, Abreibesymbole oder Tuscheschreiber	zum Beschriften der Frontplatte
n.B.	Klarlackspray	

## Anmerkung:

Je nach Ausführung der geätzten Leiterplatte müssen unterschiedliche IC-Fassungen bereitgestellt werden.

Ist die Leiterplatte durchkontaktiert, können Sie gewöhnliche IC-Fassungen verwenden.

## Prozessor 8085

Bei nicht durchkontaktierten Leiterplatten müssen IC-Fassungen eingesetzt werden, die auch von der Bestückungsseite her verlötbar sind. Hierzu eignen sich sehr gut die sog. "Carrier-IC-Fassungen", die aus zusammengesetzten Einzelkontakten bestehen.

Falls Sie die als Meterware erhältlichen Kontaktfederstreifen verwenden, benötigen Sie davon 600 mm.

Zur Inbetriebnahme der Baugruppe "Prozessor 8085" benötigen Sie zusätzlich:



Stckz.	Benennung/Daten	Bemerkung
1	Baugruppenträger mit Busverdrahtung BFZ/MFA 0.1.	} zusammengebaut und geprüft nach FPÜ BFZ/MFA 1.2. Arbeitsblatt A7
1	Bus-Abschluß BFZ/MFA 0.2.	
1	Trafo-Einschub BFZ/MFA 1.1.	
1	Spannungsregelung BFZ/MFA 1.2.	} komplett aufgebaut und geprüft
1	Bus-Signalgeber BFZ/MFA 5.1.	
1	Bus-Signalanzeige BFZ/MFA 5.2.	
1	Adapterkarte 64polig BFZ/MFA 5.3.	

## Prozessor 8085

1

In dieser Übung werden Sie die zum Mikrocomputer-Baugruppensystem gehörende Baugruppe "Prozessor 8085" aufbauen und in Betrieb nehmen. Falls Sie bereits eine zusammengebaute Baugruppe erhalten haben, besteht Ihre Aufgabe darin, sie zu prüfen und in Betrieb zu nehmen.

Entscheiden Sie nun, wie Sie vorgehen.

Aufbau nach Arbeitsunterlagen  A1  
Überprüfen des fertigen Einschubs und Inbetriebnahme  A5

In den folgenden Arbeitsschritten wird die Baugruppe "Prozessor 8085" in Betrieb genommen.

2


Dazu benötigen Sie:

- 1 Baugruppenträger mit Busverdrahtung (BFZ/MFA 0.1.)
- 1 Bus-Abschluß (BFZ/MFA 0.2.)
- 1 Trafo-Einschub (BFZ/MFA 1.1.)
- 1 Spannungsregelung (BFZ/MFA 1.2.)
- 1 Bus-Signalgeber (BFZ/MFA 5.1.)
- 1 Bus-Signalanzeige (BFZ/MFA 5.2.)
- 1 Adapterkarte 64polig (BFZ/MFA 5.3.)

Alle aufgeführten Teile komplett aufgebaut und geprüft.

Darüberhinaus sollten Sie den Stromlaufplan und den Bestückungsplan dieser Übung bereithalten.

Bei der Inbetriebnahme dieser Baugruppe ist die "dynamische" Arbeitsweise des Mikroprozessors zu beachten. Im Normalbetrieb gibt der Prozessor - gesteuert durch ein Programm - laufend Adreßsignale auf den Adreßbus, liest Befehle und Daten und verarbeitet diese.

Seine Arbeitsgeschwindigkeit wird durch die Frequenz des Quarztaktes bestimmt. Für die korrekte Arbeitsweise des Prozessors darf diese Frequenz einen Mindestwert nicht unterschreiten. Ursache hierfür ist der innere Aufbau der CPU. Die Inbetriebnahme der Baugruppe bereitet nun insofern Schwierigkeiten, als sie erst richtig getestet werden kann, wenn sie weitgehend funktionsfähig ist. Zu solchen Tests benötigt 

2

man außerdem ein Programm, das sich im Speicher einer zusätzlichen Baugruppe befinden muß.

Da man nicht sicher sein kann, daß die CPU ihre Arbeit überhaupt aufnimmt, muß zunächst eine sorgfältige Überprüfung aller anderen Bauteile auf der CPU-Baugruppe erfolgen. Erst danach wird die Baugruppe mit der CPU bestückt und ihre Lauffähigkeit durch Vortauschen eines Befehles (Free-Run-Mode = Freilauf-Betrieb) überprüft.

Die Prüfmethode wird unter "3" erklärt. Es empfiehlt sich, dieses Kapitel nach der Prüfung zu lesen.

→ A6

Bild Ü3 zeigt die Schaltung und den zeitlichen Verlauf der wichtigsten Signale zum durchgeführten Versuch "Einfache dynamische Prüfung der CPU-Baugruppe".

3

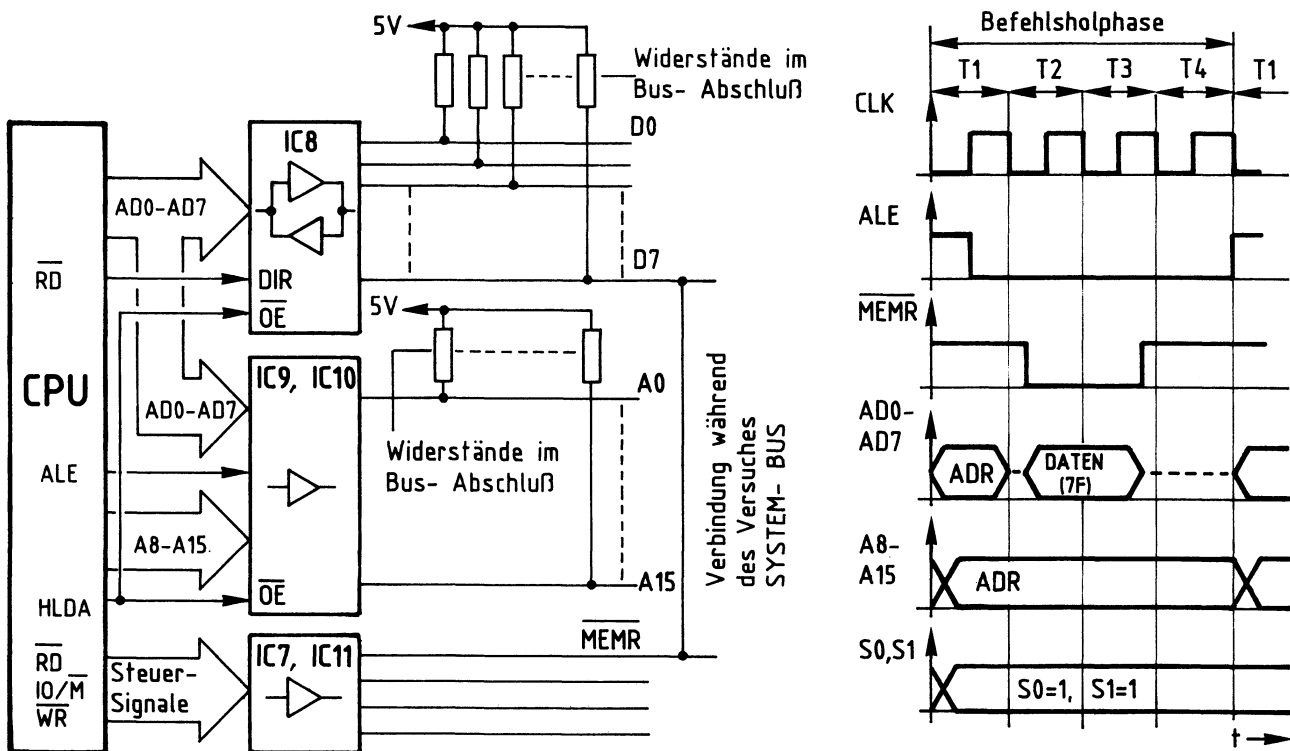


Bild Ü3: "Einfache dynamische Prüfung der CPU- Baugruppe"

→

## Prozessor 8085

3

Innerhalb der Taktzeit T1 gibt die CPU über die Ausgänge AD0 - AD7 und A8 - A15 eine Adresse aus, nehmen wir an, die Adresse 0000 (Hexadezimal). Mit der fallenden Taktflanke des ALE-Signals wird diese Adresse in den Adreßpuffer mit Speicher (IC9, IC10) übernommen und auf den System-Bus geschaltet. Da sich der Prozessor zuerst einen Befehl holen muß, schaltet er zu Beginn der Taktzeit T2 das Steuersignal  $\overline{RD}$  bzw.  $\overline{MEMR}$  auf L-Pegel, wodurch der Datenbus-Treiber (IC8) in Richtung CPU leitend wird. Durch die Verbindung der Leitung  $\overline{MEMR}$  mit der Datenleitung D7 findet der Prozessor auf dem Datenbus das Datenwort 7F vor, weil die Datenleitungen D0 bis D6 über die Bus-Abschlußwiderstände auf H-Pegel liegen, und die Datenleitung D7 durch das  $\overline{MEMR}$ -Signal auf L-Pegel gezogen wird.

Innerhalb der Taktzeit T3 wird das Datenwort 7F in die CPU übernommen. Das  $\overline{MEMR}$ -Signal wird wieder auf H-Pegel geschaltet.

Während der Taktzeit T4 wird das gelesene Datenwort in der CPU entschlüsselt und als 1-Byte-Befehl "MOV A,A" erkannt.

MOV A,A bedeutet für die CPU die Anweisung "Transportiere (Move = transportieren, übertragen) das Datenwort, das zur Zeit im Akkumulator steht, in den Akkumulator". Der Akkumulator ist ein 8-Bit-Register (Speicher) in der CPU. Der Befehl bewirkt keinerlei Operationen der CPU, d.h. er wird gar nicht ausgeführt. Die "Bearbeitung" des Befehles ist also mit dem Ende von T4 abgeschlossen, es kann der nächste Befehl gelesen werden. Dazu gibt die CPU nun die Adresse 0001 aus, schaltet  $\overline{MEMR}$  wieder auf L-Pegel und liest erneut das Datenwort 7F bzw. den Befehl MOV A,A. Mit jeder weiteren Befehlsphase - die CPU benötigt dazu immer vier Taktzeiten - wird der Adressenzähler der CPU um 1 erhöht. Wenn er den höchsten Wert FFFF erreicht hat, beginnt er wieder bei 0000.

Da die CPU nur mit dem Einholen von Befehlen (7F) beschäftigt ist, bleiben die Status-Signale S0 und S1 auf H-Pegel geschaltet.

Oszilloskopiert man die Spannungen der Adreßleitungen, beginnend bei Leitung A0, so muß man Rechteckspannungen mit jeweils doppelter Periodendauer messen können. Die kleinste Periodendauer muß dem 4-fachen der Taktzeit des CLK-Signals (Pin 37, CPU) entsprechen. Die Ausführungszeit dieses Befehls läßt sich auch aus dem Abstand zweier ALE-Impulse bestimmen.

Damit ist die Übung beendet!

Name: \_\_\_\_\_

Prozessor 8085

Datum: \_\_\_\_\_

**A1.1**

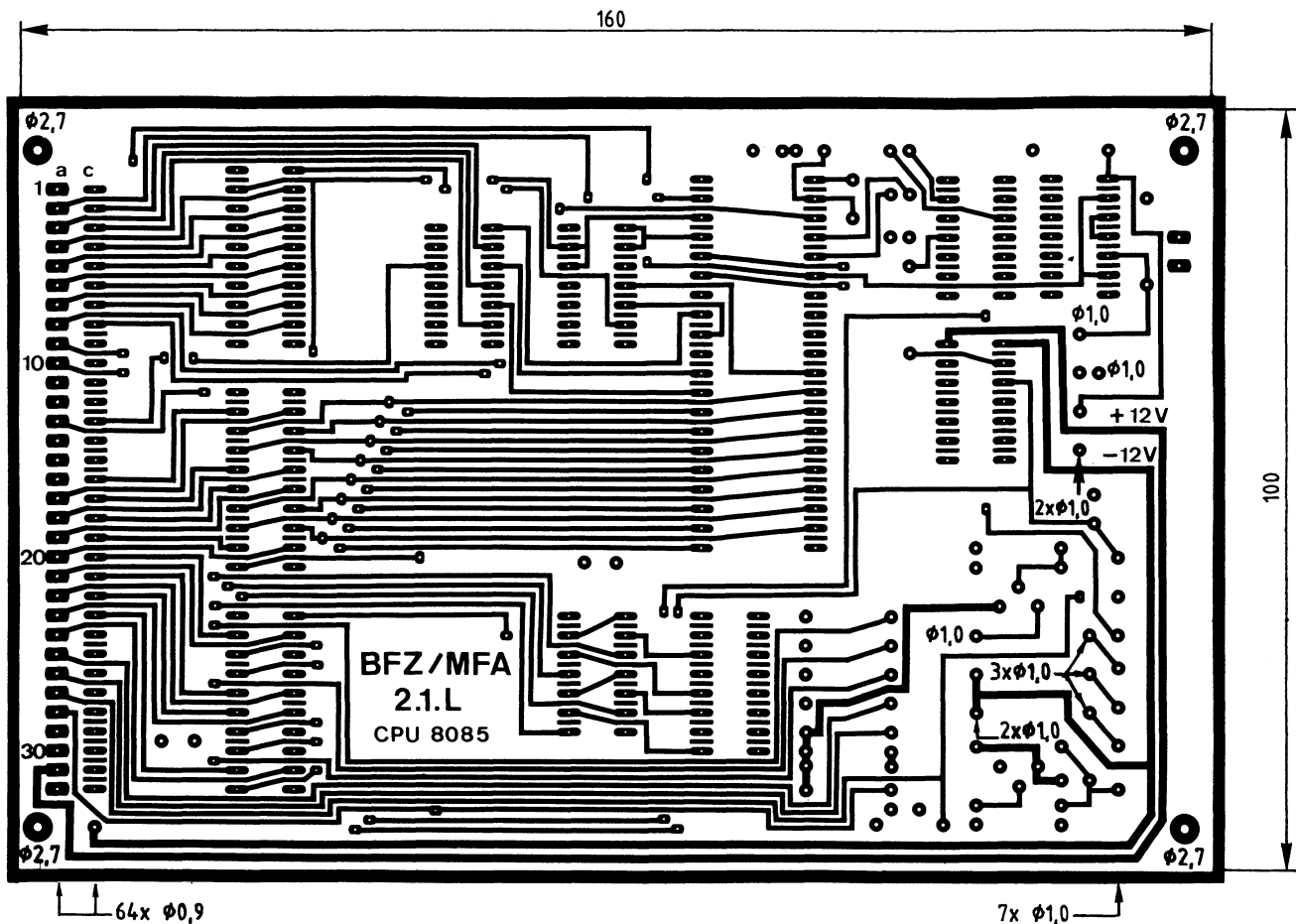
Für die Baugruppe "Prozessor 8085" muß eine zweiseitig-kupferkaschierte Leiterplatte geätzt werden. Stellen Sie die Leiterplatte in folgenden Arbeitsschritten her:

1. Belichten nach Filmvorlagen BFZ/MFA 2.1.L und 2.1.B
2. Entwickeln
3. Ätzen und Fotolack entfernen
4. Auf Maß (100x160 mm) zuschneiden

Material: Epoxid-Glashartgewebe 1,5 dick (Hgw 2372)

Bohren Sie die Leiterplatte nach dem folgenden Bohrplan. Anschließend sind beide Seiten zu reinigen und mit Lötlack zu besprühen.

Bohrplan ( Leiterbahnseite )



Alle nicht bemaßten Bohrungen  $\phi 0,8$  mm  
Benötigte Bohrer: 0,8 - 0,9 - 1,2 - 2,7 mm



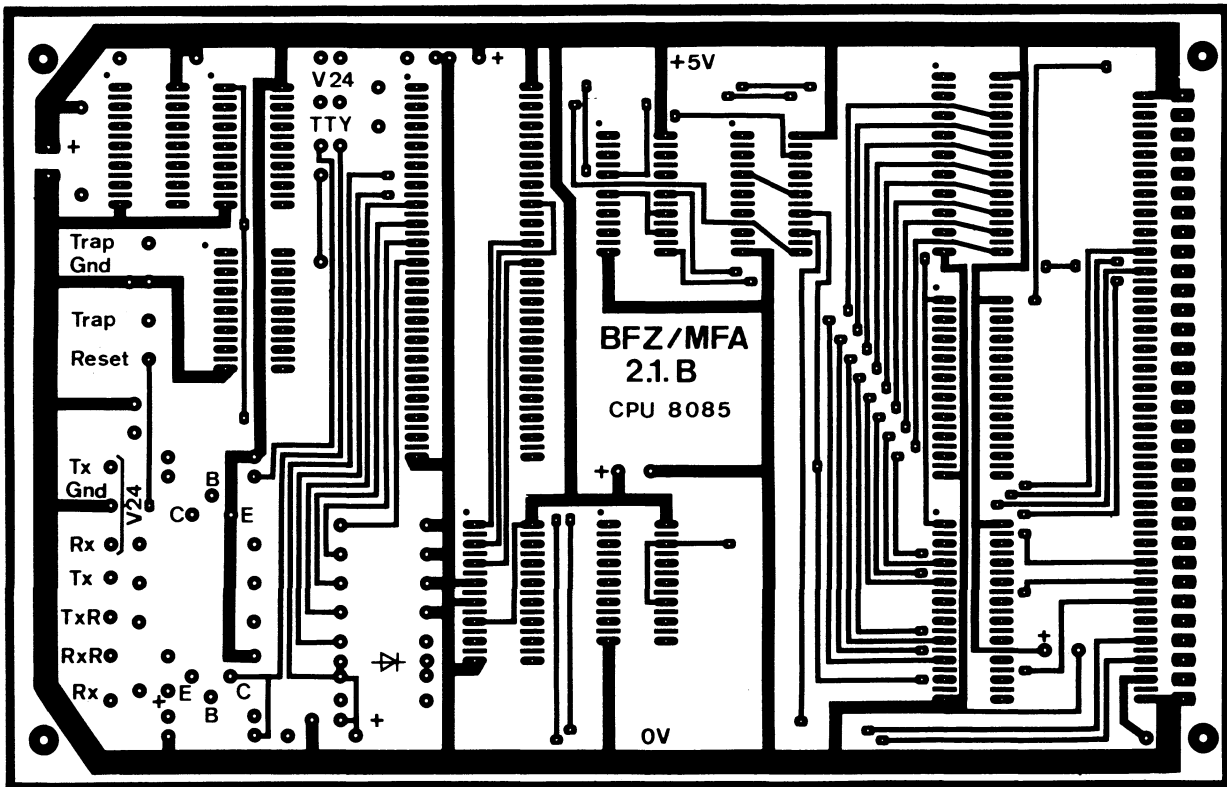
Name: \_\_\_\_\_

Prozessor 8085

Datum: \_\_\_\_\_

Die folgende Abbildung zeigt das Layout der Bestückungsseite.

A1.2



—▶ A2



Name: \_\_\_\_\_

Prozessor 8085

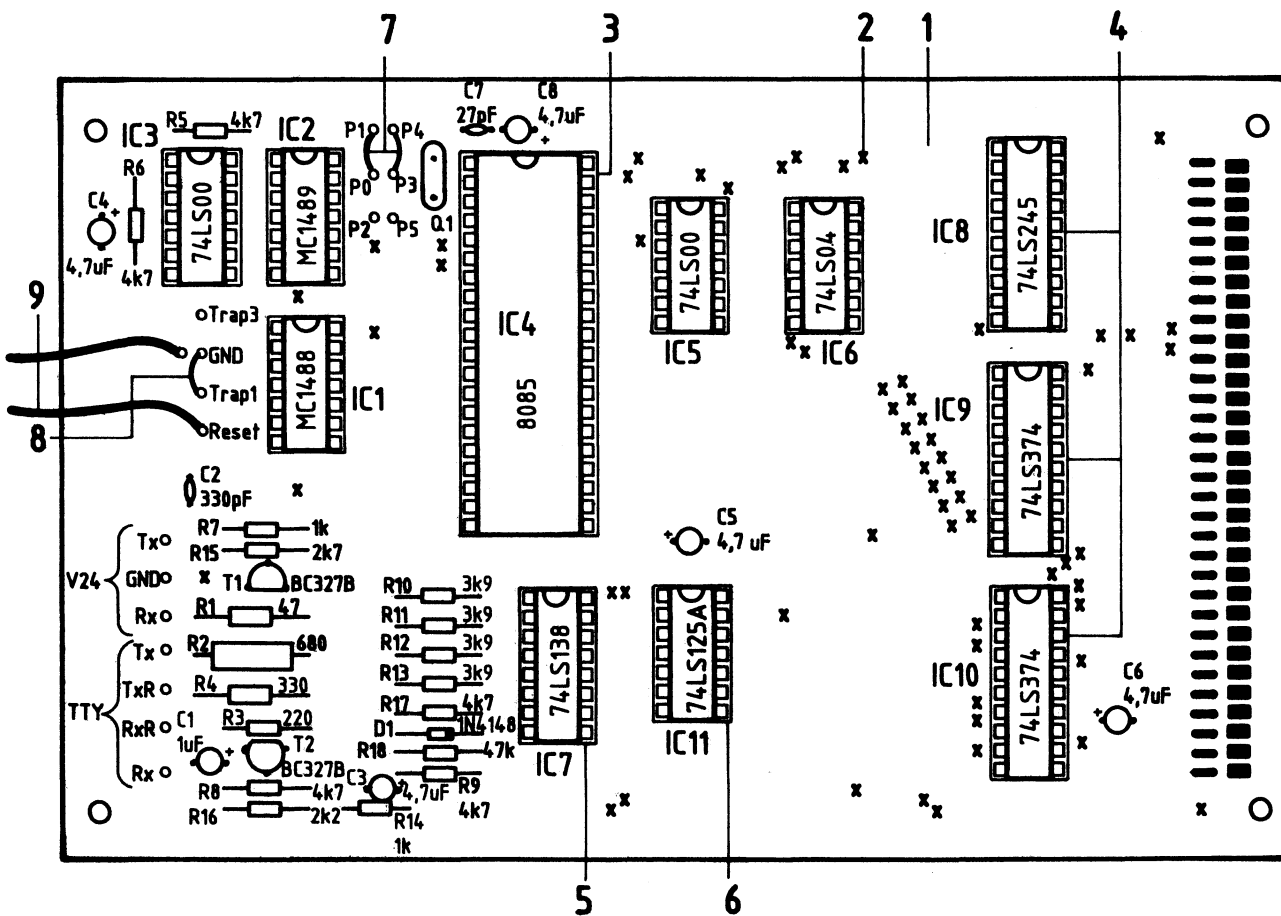
Datum: \_\_\_\_\_

Bestücken Sie die Leiterplatte mit Hilfe des Bestückungsplans, der Stückliste und der Bauteilliste.

# A2.1

Vorher sollten Sie alle Leiterbahnen möglichst mit einer Lupe nach Rissen und Kurzschlüssen (Ätzfehler, Bohrgrat) untersuchen und Fehler entsprechend beseitigen.

### Bestückungsplan Leiterplatte



### Stückliste Leiterplatte

Pos.	Stckz.	Benennung/Daten	Bemerkung
1	1	Leiterplatte BFZ/MFA 2.1.	
2	63	Durchkontaktierung, hergestellt aus Schaltdraht 0,5 mm Cu-Ag	nur erforderlich bei nicht galvanisch durchkontaktierter Leiterplatte
3	1	IC-Fassung 40polig	} siehe Anmerkung
4	3	IC-Fassung 20polig	
5	1	IC-Fassung 16polig	
6	6	IC-Fassung 14polig	



Name: \_\_\_\_\_

Prozessor 8085

Datum: \_\_\_\_\_

**A2.2**

Pos.	Stckz.	Benennung/Daten	Bemerkung
7	2	Lötbrücke nach Bedarf, hergestellt aus Schaltdraht 0,5 mm Cu-Ag	V24: P0-P1 u. P3-P4 TTY: P0-P2 u. P3-P5
8	1	Lötbrücke aus Schaltdraht 0,5 mm Cu-Ag	
9	2	Schaltlitze 0,25 mm <sup>2</sup> , sw, 20 mm lang, freies Ende abisoliert	

## Bauteilliste Leiterplatte

Kennz.	Benennung/Daten	Bemerkung
R1	Widerstand 47 $\Omega$	
R2	Widerstand 680 $\Omega$ / 0,5 W	
R3	Widerstand 220 $\Omega$	
R4	Widerstand 330 $\Omega$ / 0,5 W	
R5, R6	Widerstand 4,7 k $\Omega$	
R7	Widerstand 1 k $\Omega$	
R8, R9	Widerstand 4,7 k $\Omega$	
R10-R13	Widerstand 3,9 k $\Omega$	
R14	Widerstand 1 k $\Omega$	
R15	Widerstand 2,7 k $\Omega$	
R16	Widerstand 2,2 k $\Omega$	
R17	Widerstand 4,7 k $\Omega$	
R18	Widerstand 47 k $\Omega$	
C1	Tantal-Elko 1 $\mu$ F	
C2	Ker. Scheibenkondensator 330 pF	
C3	Tantal-Elko 4,7 $\mu$ F	
C4-C6	Tantal-Elko 4,7 $\mu$ F	
C7	Ker. Scheibenkondensator 27 pF	
C8	Tantal-Elko 4,7 $\mu$ F	
D1	Si-Diode 1N4148	
Q1	Quarz 4 MHz	
T1, T2	Si-PNP-Transistor	z.B. BC 327 B
IC1	Vier Leitungstreiber für V-24-Schnittstellen MC 1488 od. SN75188	IC nicht eingesteckt!



Name:

Prozessor 8085

Datum:

Kennz.	Benennung/Daten	Bemerkung	
IC2	Vier Leitungsempfänger für V-24-Schnittstellen MC 1489 od. SN75189	} IC's nicht eingesteckt	
IC3	Vier NAND-Gatter 74LS00		
IC4	CPU 8085		
IC5	Vier NAND-Gatter 74LS00		
IC6	Sechs Inverter 74LS04		
IC7	3-Bit-Binärdecoder 74LS138		
IC8	Acht Bus-Transceiver 74LS245		Tri-State
IC9	8-Bit-D-Register 74LS374		Tri-State
IC10	8-Bit-D-Register 74LS374		Tri-State
IC11	Vier Bus-Leitungstreiber 74LS 125A		Tri-State

A2.3

## Anmerkung

Alle IC's werden auf Fassungen gesteckt, die je nach Ausführung der geätzten Leiterplatte unterschiedlicher Bauart sind.

Wenn die Leiterplatte galvanisch durchkontaktiert ist, werden gewöhnliche IC-Fassungen verwendet.

Bei nicht durchkontaktierten Leiterplatten müssen IC-Fassungen eingesetzt werden, die auch von der Bestückungsseite her verlötbar sind. Hierzu verwenden Sie entweder "Carrier-IC-Fassungen", die aus zusammengesetzten Einzelkontakten bestehen oder die als Meterware erhältlichen Kontaktfederstreifen.

→ A3

Name: \_\_\_\_\_

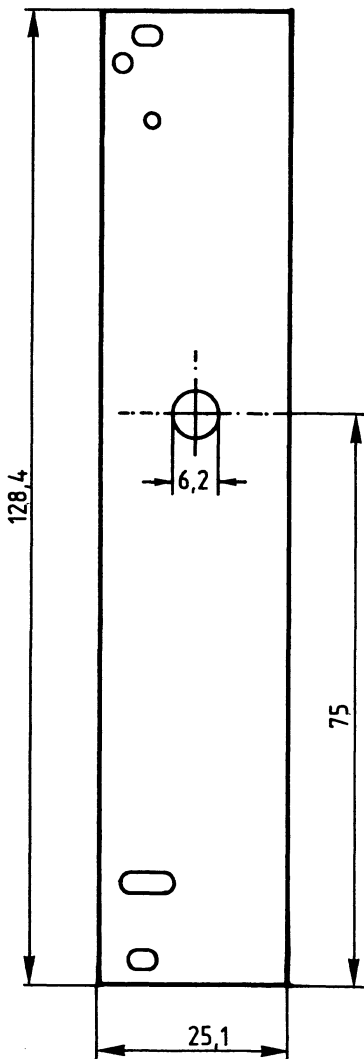
Prozessor 8085

Datum: \_\_\_\_\_

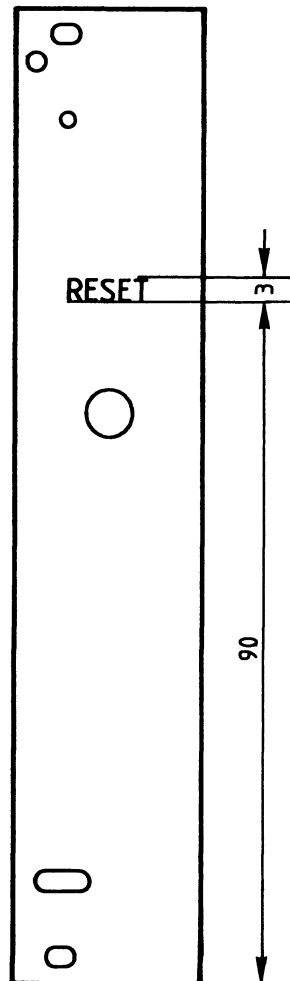
# A3.1

Stellen Sie die Frontplatte nach folgenden Zeichnungen her. Vor dem Beschriften muß die Frontplatte gereinigt und entfettet werden. Die Beschriftung kann mit einem Tuscheschreiber oder Abreibebuchstaben erfolgen. Nach dem Beschriften sollten Sie die Frontplatte mit Plastik-Spray besprühen.

Bohrplan Frontplatte



Beschriftungsvorschlag



Material: Frontplatte L-C 05  
Alu 2 mm



Name:

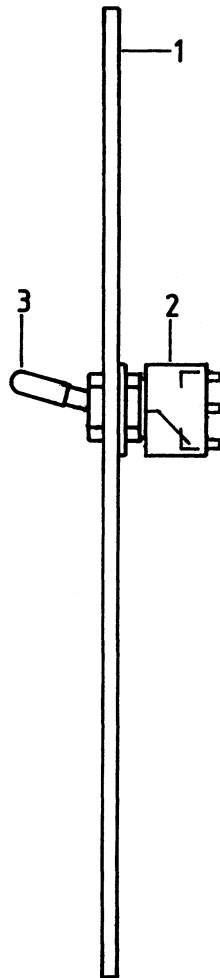
Prozessor 8085

Datum:

Bestücken Sie die Frontplatte nach Bestückungsplan und Stückliste.

A3.2

Bestückungsplan Frontplatte



Stückliste Frontplatte

Pos.	Stckz.	Benennung/Daten	Bemerkung
1	1	Frontplatte	
2	1	Taster einpolig, umschaltend	
3	1	Plastikkappe rt	

→ A4

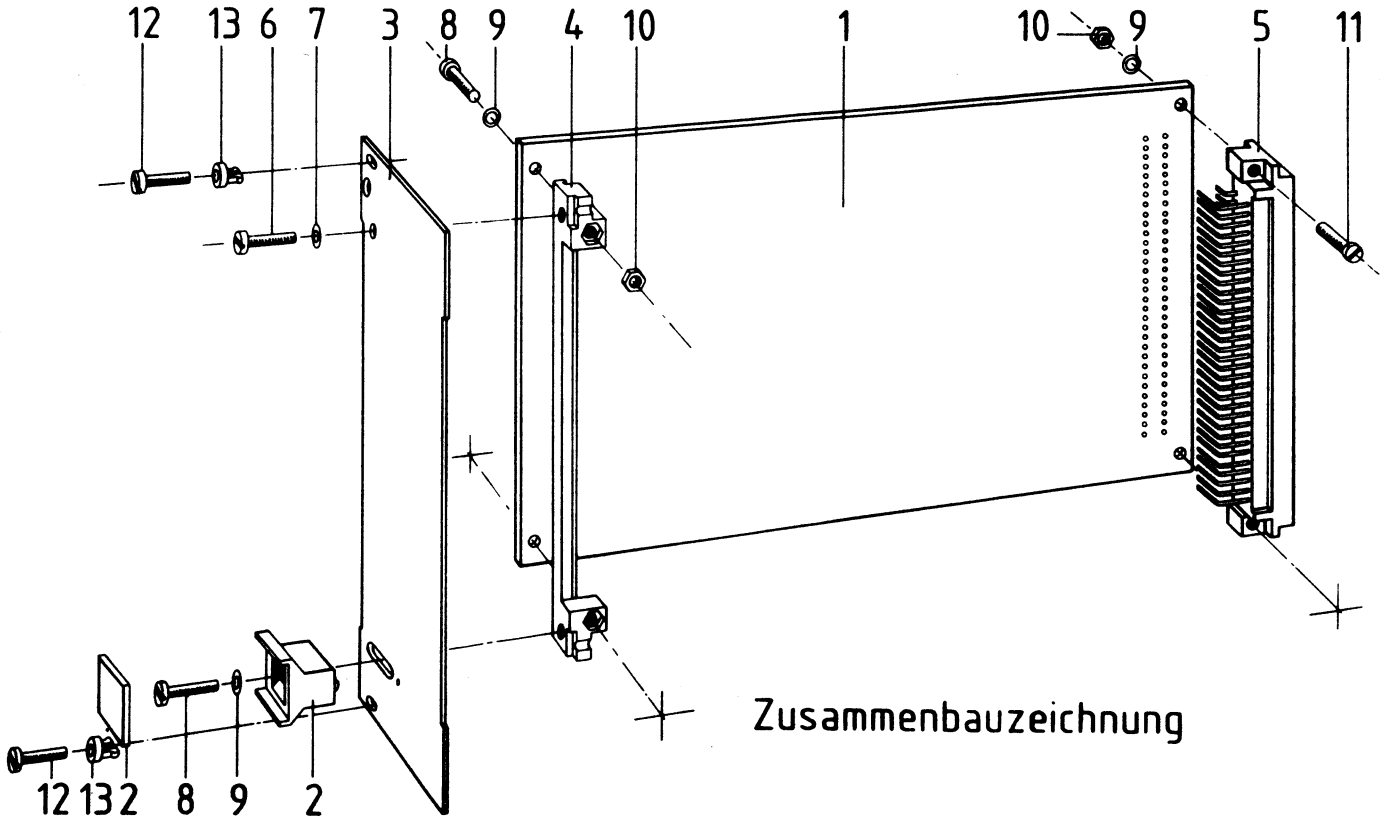
Name:

Prozessor 8085

Datum:

Bauen Sie den Einschub nach der folgenden Zeichnung und Stückliste zusammen. Anschließend wird verdrahtet.

A4.1



Stückliste für den Zusammenbau

Pos.	Stckz.	Benennung/Daten	Bemerkung
1	1	Leiterplatte BFZ/MFA 2.1.	komp1. bestückt
2	1	Griff komplett	
3	1	Frontplatte	bestückt
4	1	Verbinder	
5	1	Messerleiste 64polig DIN 41612	
6	1	Zylinderschraube M2,5x8 DIN 84	
7	1	Federring B2,5 DIN 127	
8	3	Zylinderschraube M2,5x12 DIN 84	
9	5	Federscheibe A2,7 DIN 137	
10	4	Sechskantmutter M2,5 DIN 439	
11	2	Zylinderschraube M2,5x10 DIN 84	
12	2	Zylinderschraube mit Schaft B M2,5x10/5 DIN 84	
13	2	Schraubensicherung, Kunststoff	



Name: \_\_\_\_\_

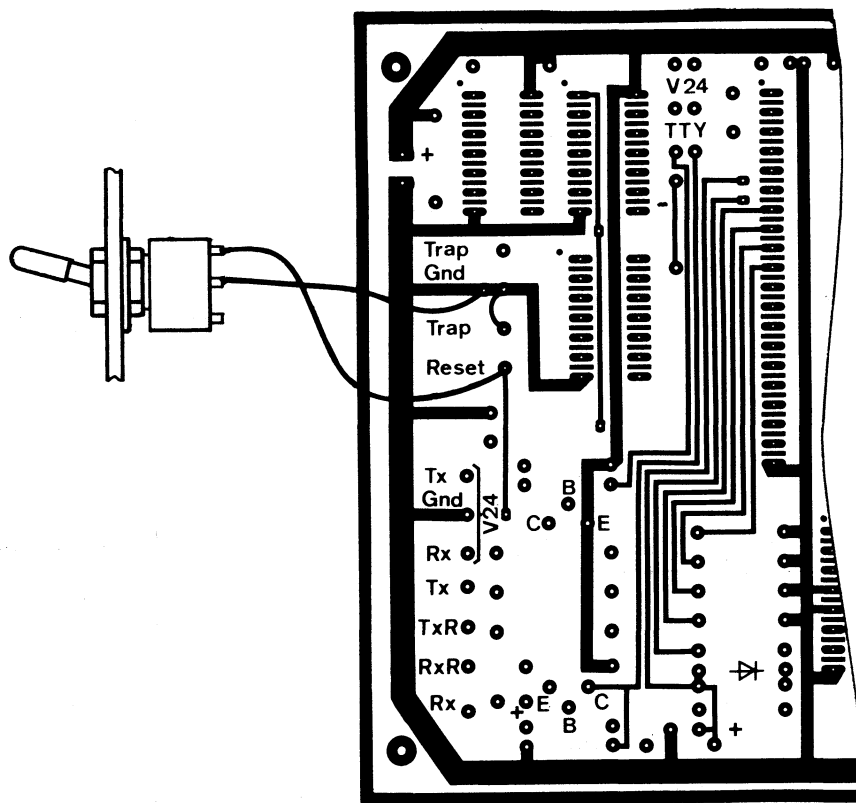
Prozessor 8085

Datum: \_\_\_\_\_

Verbinden Sie die Anschlußleitungen der Leiterplatte nach folgendem Verdrahtungsplan mit dem Taster auf der Frontplatte.

A4.2

Verdrahtungsplan Frontplatte-Leiterplatte



→ A5

**Name:**

---

Prozessor 8085

**Datum:**

---

**Sichtkontrolle****A5**

Führen Sie eine Sichtkontrolle des fertigen Einschubs durch. Dazu sollten Sie den Stromlauf- und Bestückungsplan bereitlegen. Beheben Sie erkannte Fehler und Mängel.

**Lötstellen**

Sind auf der mit "L" bezeichneten Seite der Karte (Leiterbahnseite, Lötseite) alle Bauteilanschlüsse sachgemäß angelötet?

Achten Sie bei den Lötstellen besonders auf Kurzschlüsse, die bei der Enge der Leiterbahnen leicht durch das Auftragen einer zu großen Menge von Lötzinn oder durch Lötzinnspritzen und -perlen entstehen können.

Bei galvanisch nicht durchkontaktierten Leiterplatten müssen auch Lötstellen auf der mit "B" bezeichneten Kartenseite (Bauteilseite, Bestückungsseite) überprüft werden. Dort müssen alle Bauteilanschlüsse, an die eine Leiterbahn führt, verlötet sein. Außerdem müssen bei nicht durchkontaktierten Leiterplatten alle im Bestückungsplan mit "x" bezeichneten Bohrungen durch Einsetzen von Drahtstückchen durchkontaktiert sein.

**Bestückung**

- Sind alle Widerstände mit Ihren Werten richtig eingebaut?
- Sind alle Elkos richtig gepolt?
- Die IC's dürfen noch nicht eingesteckt sein.
- Sind die Brücken für V24 oder TTY eingelötet?
- Ist die Brücke GND-Trap (Pos. 8 A2) eingelötet?

**Gesamtaufbau**

Kontrollieren Sie auch die Montage der Bauteile in der Frontplatte sowie die Verdrahtung der Frontplatte und die Verbindungen zwischen Frontplatte und Leiterplatte.

**2** ←



Name: \_\_\_\_\_

Prozessor 8085

Datum: \_\_\_\_\_

# A6.1

Messen der Spannungsversorgung aller IC's an den entsprechenden IC-Stiften.

Baugruppe "Prozessor 8085" über Adapter am System-Bus; alle IC's noch nicht eingesteckt; Netz eingeschaltet.

Suchen Sie sich aus dem Stromlaufplan die entsprechenden IC-Stifte heraus;

tragen Sie IC-Typ, Stift-Nummern und die dort gemessenen Spannungen ( $U_B$ ) in die Tabelle ein (siehe Muster).

	IC1	IC2	IC3	IC4	IC5	IC6	IC7	IC8	IC9	IC10	IC11
Typ	MC 1488										
Positive Versorgung an Pin ...	14										
Masse an Pin ...	7										
Negative Versorgung an Pin ...	1										
$U_B$	12 V										
$-U_B$	-12 V										



Name: \_\_\_\_\_

Prozessor 8085

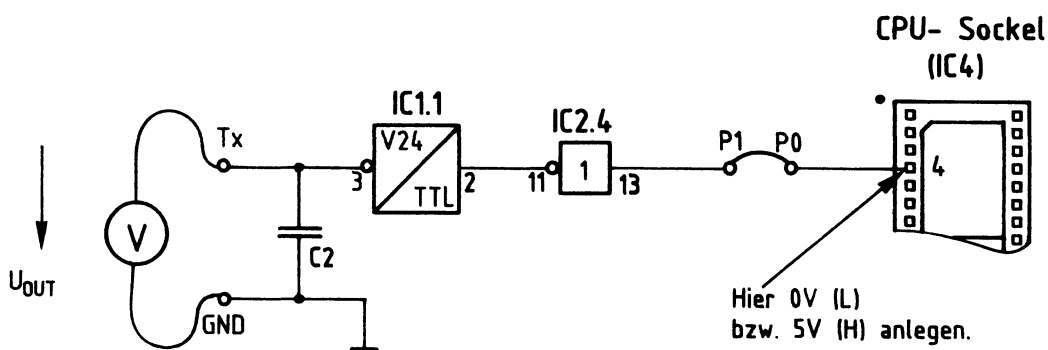
Datum: \_\_\_\_\_

**A6.2**

Prüfen der V-24-Schnittstelle, Senden.

IC1 und IC2 eingesteckt; Baugruppe über Adapter am System-Bus.

Bild 6.2 zeigt den zur Prüfung der V-24-Schnittstelle nötigen Meßaufbau.



**Bild 6.2: V-24- Schnittstelle, Senden**

Verbinden Sie Anschlußstift 4 von IC4 zunächst mit L-Pegel und dann mit H-Pegel (von den Buchsen des Netzteils) und messen Sie jeweils die Ausgangsspannung  $U_{OUT}$  der V-24-Schnittstelle zwischen den Lötanschlußpunkten Tx und GND.

Die Meßwerte müssen innerhalb der Spannungsbereiche liegen, die in folgender Tabelle angegeben sind.

Pegel an IC4- Pin4	Spannungsbereich für $U_{OUT}$
L	-10... -12V
H	+10... +12V



Name: \_\_\_\_\_

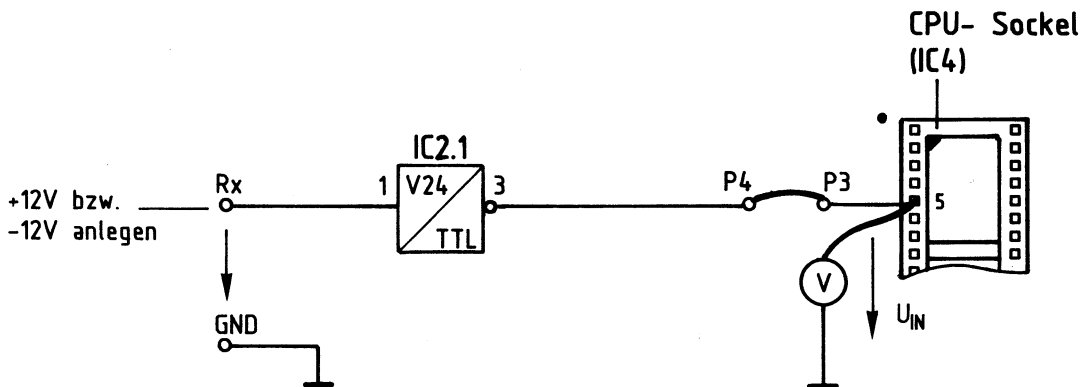
Prozessor 8085

Datum: \_\_\_\_\_

**A6.3**

Prüfen der V-24-Schnittstelle, Empfangen

Bild 6.3 zeigt den zur Prüfung nötigen Meßaufbau.

**Bild 6.3: V-24- Schnittstelle, Empfangen**

Verbinden Sie den Empfangs-Eingang der V-24-Schnittstelle Rx mit +12 V und anschließend mit -12 V und messen Sie jeweils die Spannung  $U_{IN}$  wie in Bild 6.3 dargestellt.

Die Meßwerte müssen innerhalb der Spannungsbereiche liegen, die in folgender Tabelle angegeben sind.

Spannung zwischen Rx - GND	Spannungsbereich $U_{IN}$
- 12 V	2,6 - 5 V (H- Pegel)
+ 12 V	0,2 - 0,45 V (L- Pegel)



Name: \_\_\_\_\_

Prozessor 8085

Datum: \_\_\_\_\_

# A6.4

Prüfen der 20-mA-Schnittstelle, Senden

Bereiten Sie den in Bild 6.4 dargestellten Meßaufbau vor.

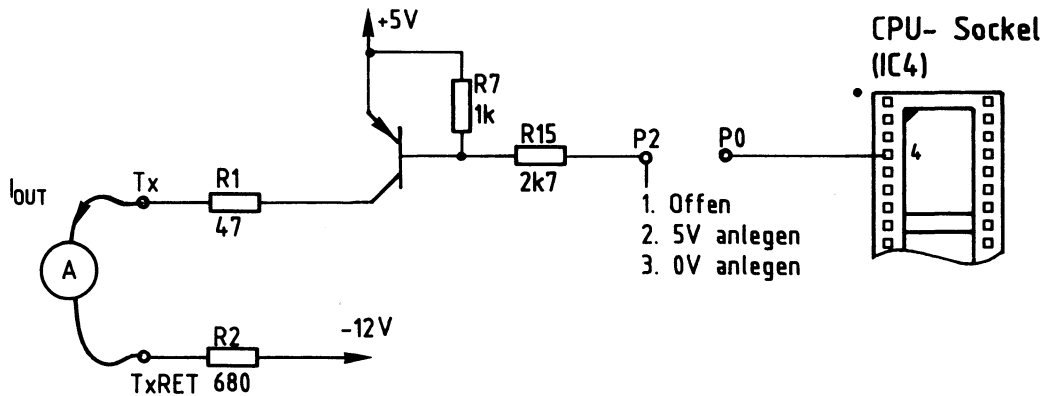


Bild 6.4: 20-mA- Schnittstelle, Senden

Überprüfen Sie den Ausgangsstrom  $I_{OUT}$  für die in Bild 6.4 angegebenen Eingangsbedingungen.

Versuchen Sie, sich die Funktion der Schaltung zu erklären.

Eingangsbedingung für P2	Ausgangsstrom $I_{OUT}$
Offen	0 A
5V angelegt	0 A
0V angelegt	22 - 24 mA



# A6.5

Prüfen der 20-mA-Schnittstelle, Empfangen

Bereiten Sie den in Bild 6.5 dargestellten Meßaufbau vor.

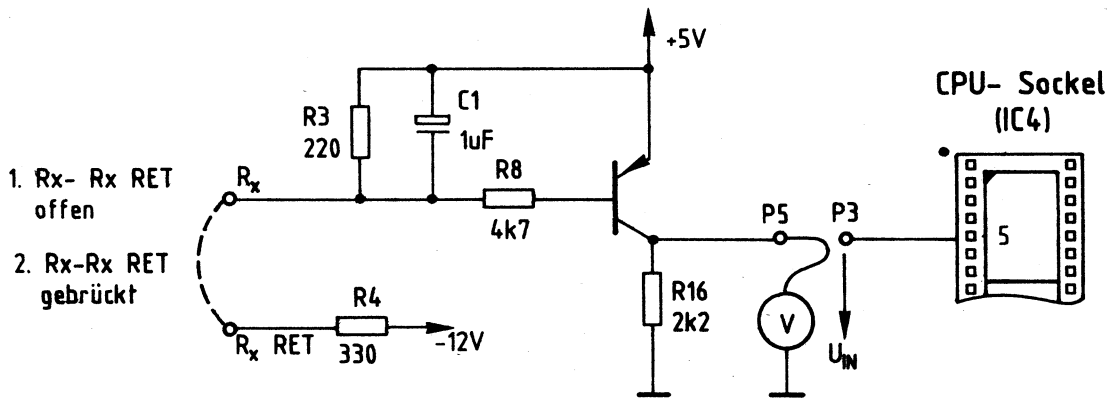


Bild 6.5: 20-mA - Schnittstelle, Empfangen

Überprüfen Sie die Spannung  $U_{IN}$  für die in Bild 6.5 dargestellten Eingangsbedingungen.

Wie funktioniert die Schaltung?

Eingangsanschlüsse Rx- Rx RET	Spannung $U_{IN}$
Offen	0V
gebrückt	5V



Name: \_\_\_\_\_

Prozessor 8085

Datum: \_\_\_\_\_

# A6.6

Prüfen der  $\overline{\text{RESET-IN}}$ -Funktion

Bereiten Sie den in Bild 6.6 dargestellten Meßaufbau vor.

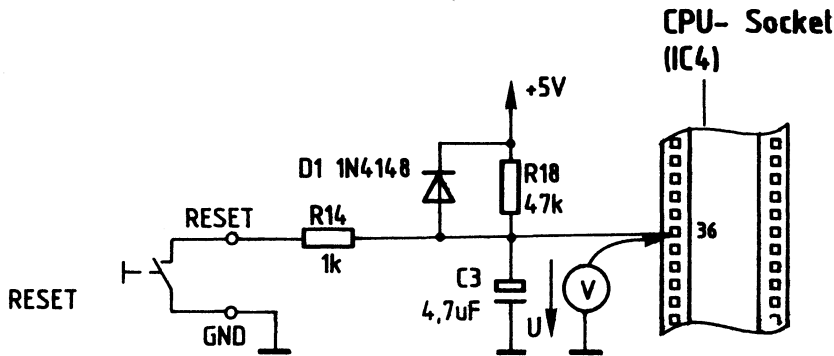


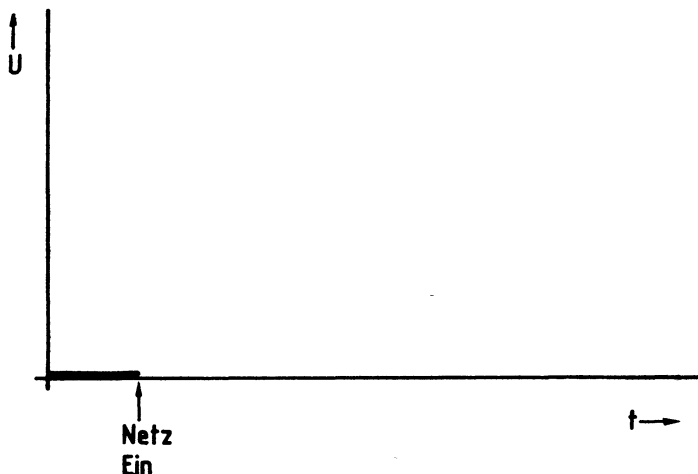
Bild 6.6:  $\overline{\text{RESET-IN}}$ - Meßaufbau

Überprüfen Sie die Spannung U für folgende Betriebszustände:

1. RESET-Taste betätigt
2. RESET-Taste nicht betätigt

RESET - Taste	U
betätigt	0,1 V
nicht betätigt	5 V

Skizzieren Sie den prinzipiellen Verlauf der Spannung U nach dem Einschalten der Betriebsspannung.



Name: \_\_\_\_\_

Prozessor 8085

Datum: \_\_\_\_\_

---

**A6.7**

Prüfen der Pegel an den CPU-Eingängen TRAP, HOLD, READY, INTR und RST5.5 bis RST7.5

IC3 und IC6 zusätzlich eingesteckt.

Überlegen Sie sich, welche Pegel an den oben genannten CPU-Eingängen anliegen müssen (Soll-Pegel).

Tragen Sie diese Werte in die vorbereitete Tabelle ein und überprüfen Sie Ihre Überlegungen durch entsprechende Messungen.

Eingang	IC4 Pin ...	Soll - Pegel	Gemessener Pegel
TRAP			
HOLD			
READY			
INTR			
RST 5.5			
RST 6.5			
RST 7.5			



Name: \_\_\_\_\_

Prozessor 8085

Datum: \_\_\_\_\_

# A6.8

Prüfen der Quarzfrequenz und des Systemtaktes

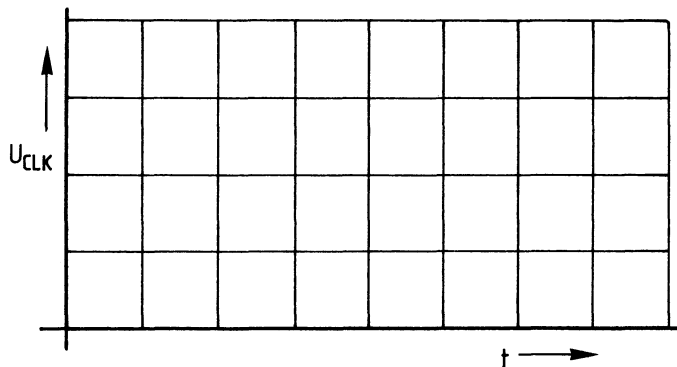
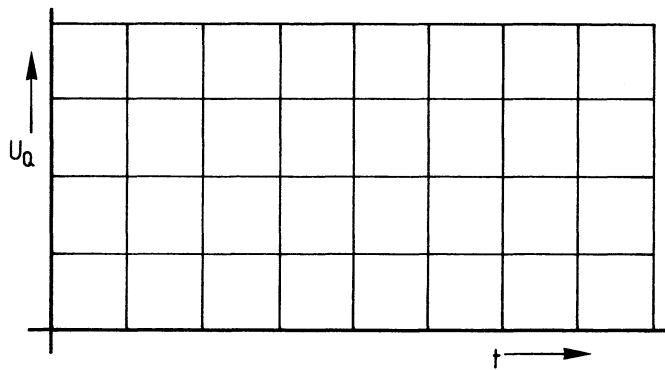
IC4 (CPU) zusätzlich eingesteckt.

Messen Sie mit einem Oszilloskopen die Quarzfrequenz am Pin 1 der CPU und die Frequenz des Systemtaktes am Pin 37.

Tragen Sie Ihre Meßwerte in die folgende Tabelle ein.

	Quarzfrequenz	Systemfrequenz
Ihre Meßwerte		
Kontroll - Werte	4 MHz	2 MHz

Skizzieren Sie den Verlauf der beiden Spannungen in zeitlichem Zusammenhang.





Name: \_\_\_\_\_

Prozessor 8085

Datum: \_\_\_\_\_

Einfache dynamische Prüfung der Baugruppe

**A6.9**

IC5, IC7 bis IC11 zusätzlich eingesteckt;  
 verbinden Sie (am besten auf der Adapterkarte) die Busleitungen  
 10c ( $\overline{\text{MEMR}}$ ) und 7c (D7).

Zusätzlich Baugruppe "Bus-Signalanzeige" eingesteckt,

Schalter RUN-HLT auf "RUN",  
 Schalter ADDR.-STOP auf "OFF".

Anweisungen	Anzeigen; Bemerkungen
Betriebsspannung Ein	<p>Alle Leuchtpunkte der ADDRESS-Anzeige des Bus-Signalgebers leuchten;</p> <p>dies ist ein Zeichen dafür, daß sich die Signalzustände auf den Adreß-Leitungen ständig ändern, und daß die CPU grundsätzlich arbeitet.</p> <p>LED's MEMR und INSTR leuchten;</p> <p>die CPU liest "Daten" und interpretiert diese als Befehl.</p> <p>Alle Leuchtpunkte der DATA-Anzeige leuchten;</p> <p>die Datenwerte ändern sich ständig.</p>
Schalter RUN-HLT auf HLT	<p>CPU bleibt stehen, die ADDRESS-Anzeige zeigt eine "feste" Adresse an;</p> <p>ihr Wert hängt vom Zufall ab.</p>
Mehrmals STEP betätigen	<p>ADDRESS-Anzeige "zählt" bei jedem STEP um einen Hex-Wert weiter.</p>
RESET betätigen.	<p>ADDRESS-Anzeige springt auf 0000;</p> <p>die RESET-Funktion der CPU arbeitet richtig.</p>



Name:

Prozessor 8085

Datum:

Einfache dynamische Prüfung der Baugruppe (Forts.)

A6.10

Anweisungen	Anzeigen; Bemerkungen
RUN-HLT-Schalter auf RUN, Eingang READY (35) kurzzeitig mit 0 V verbinden.	ADDRESS-Anzeige bleibt auf einem Zufallswert stehen, solange READY auf L-Pegel liegt; die CPU wird durch diesen L-Pegel "angehalten" und legt Wartezyklen ein bis READY wieder auf H-Pegel geht.
0 V an Eingang $\overline{\text{HOLD}}$ (28a)	ADDRESS- und DATA-Anzeige zeigen FFFF bzw. FF an, alle LED's sind dunkel; durch $\overline{\text{HOLD}} = \text{L}$ (oder $\text{HOLD} = \text{H}$ ) werden alle Bus-Treiber in den hochohmigen Zustand geschaltet und sind vom System-Bus getrennt. Durch den Bus-Abschluß liegen alle Adreß-, Daten- und die Steuerleitungen $\overline{\text{MEMR}}$ , $\overline{\text{MEMW}}$ , $\overline{\text{IO/R}}$ und $\overline{\text{IO/W}}$ auf H-Pegel.

Messen Sie mit einem Oszilloskopen die Periodendauer der Spannungen an den Adreßleitungen A0 bis A13. Rechnen Sie diese dann in die jeweilige Frequenz um.

Adreßleitung	T	f
A0		
A1		
A2		
A3		
A4		
A5		
A6		
A7		
A8		
A9		
A10		
A11		
A12		
A13		

3 ←